

Università degli Studi di Napoli “Federico II”



Facoltà di Scienze MM.FF.NN

Corso di laurea in Fisica

Disegno del sistema generale di trigger dell'esperimento ICARUS, progettazione e realizzazione della scheda di primo livello

Candidato:

Maurizio Della Pietra
matr. 60/509

Relatori:

Dott. A. Ereditato

Dott. G. Fiorillo

Anno Accademico 2003/04

Indice

| | |
|---|-----------|
| Introduzione | 1 |
| 1 ICARUS: un osservatorio per neutrini cosmici e da acceleratori | 5 |
| 1.1 Neutrini di origine cosmica | 7 |
| 1.2 Neutrini da supernovae | 14 |
| 1.3 Neutrini artificiali da acceleratori | 19 |
| 2 Il rivelatore ICARUS | 23 |
| 2.1 La TPC di ICARUS | 24 |
| 2.2 Descrizione generale del rivelatore T600 | 29 |
| 2.3 Criogenia e sistema di purificazione dell'Argon liquido | 31 |
| 2.4 I rivelatori interni | 34 |
| 2.5 L'elettronica di <i>read-out</i> | 39 |
| 3 Il sistema di trigger | 45 |
| 3.1 Il sistema di acquisizione dei dati | 46 |
| 3.2 Segmentazione e selettività | 47 |
| 3.3 Definizione del pixel | 49 |
| 3.4 Trigger globali e trigger locali | 52 |
| 3.5 Schema generale del sistema di trigger | 55 |
| 3.6 La <i>Trigger Control Unit</i> : studi preliminari | 59 |
| 4 Il prototipo della <i>Local Trigger Control Unit</i> | 63 |
| 4.1 Struttura e funzionalità della LTCU | 64 |
| 4.2 Il circuito analogico di discriminazione | 70 |

| | | |
|----------|--|------------|
| 4.3 | La FPGA | 76 |
| 4.3.1 | L'interfaccia <i>232_INTF</i> | 79 |
| 4.3.2 | Il formatore <i>DEGLITCH</i> | 88 |
| 4.3.3 | Il contatore degli HIT <i>18X8CNT</i> | 89 |
| 4.3.4 | Il generatore di trigger <i>FOR_BLK</i> e il multiplexer <i>18X1_MUX</i> | 93 |
| 4.4 | Occupazione delle risorse e analisi delle prestazioni in frequen- za della FPGA | 93 |
| 5 | Il software di gestione e il collaudo della LTCU | 99 |
| 5.1 | Il software di controllo | 100 |
| 5.2 | Il collaudo del prototipo | 105 |
| 5.2.1 | Test di comunicazione | 106 |
| 5.2.2 | Impostazione della soglia | 108 |
| 5.2.3 | Impulsi di test | 109 |
| 5.2.4 | Generazione del segnale di trigger | 111 |
| 5.2.5 | L'algoritmo di conteggio | 114 |
| | Conclusioni | 117 |
| A | La XILINX Spartan 2 | 119 |
| B | Tavole dei circuiti della LTCU | 125 |
| C | Tavole dei circuiti della FPGA | 135 |
| D | Tavole delle simulazioni <i>post-layout</i> della FPGA | 163 |
| | Bibliografia | 171 |

Introduzione

Il presente lavoro di tesi è consistito nel disegno del sistema elettronico di trigger, nella progettazione e nella realizzazione della scheda di primo livello, per l'esperimento ICARUS (Imaging Cosmic And Rare Underground Signals), in fase di preparazione presso i Laboratori Nazionali del Gran Sasso.

Il programma di ricerca del progetto ICARUS è imperniato su due linee di ricerca principali, ambedue di grande rilevanza per la fisica astroparticellare: la prima consiste nello studio dettagliato del fenomeno delle *oscillazioni di neutrino* che può essere condotto su due diversi fronti: attraverso lo studio dei neutrini di origine cosmica (atmosferici, solari, da supernova) e mediante lo studio dei neutrini prodotti artificialmente nel fascio CNGS, che verrà inviato dal CERN di Ginevra verso i laboratori del Gran Sasso. La seconda linea di ricerca consiste nello studio della stabilità della materia nucleare tramite l'osservazione del decadimento del protone.

L'idea originale per la realizzazione dell'apparato sperimentale, che consiste in una camera a proiezione temporale ad Argon liquido (LAr-TPC), fu proposta da C. Rubbia nel 1977 e, dopo anni di ricerca e sviluppo tecnologico, si sono raggiunti i requisiti di affidabilità sperimentale per consentire la costruzione del rivelatore ICARUS T600 costituito da 600 tonnellate di Argon liquido.

Il principio di funzionamento di ICARUS è relativamente semplice: l'Argon liquido, la cui temperatura è di circa 89 °K, costituisce il materiale dielettrico di un grande condensatore piano. Ogni evento ionizzante produce delle tracce formate dall'insieme delle coppie elettrone-ione, una frazione delle quali non si ricombinerà ma tenderà a muoversi nella direzione del campo elettrico in versi opposti. L'anodo, che costituisce il piano di lettura, è realiz-

zato a sua volta con tre piani di fili conduttori paralleli che permettono una ricostruzione in due dimensioni delle tracce. Il valore della terza dimensione è ricavato da una misura del tempo di deriva degli elettroni impiegato a raggiungere i piani di fili. Tale tempo dipende dal valore del campo elettrico presente nel volume di Argon liquido e dall'istante iniziale t_0 . Quest'ultimo è determinato dalla registrazione del segnale di luce di scintillazione che segue l'evento ionizzante da parte di una matrice di fotomoltiplicatori presenti nel rivelatore.

L'apparato di rivelazione appena descritto è continuamente sensibile e produce un mole di dati da registrare ed analizzare dell'ordine delle centinaia di TB per anno. Inoltre, la limitata larghezza di banda con cui il sistema di acquisizione legge i dati provenienti dall'elettronica di *front-end* può causare una diminuzione dell'efficienza di rivelazione introducendo un tempo morto. Questo accade in particolare per gli eventi indotti dall'esplosione di una supernova che hanno una caratterizzazione sperimentale peculiare: i neutrini arrivano in gruppi (*burst*), ossia si verificano centinaia di interazioni di neutrino in circa 10 s.

L'attività sperimentale oggetto di questa tesi si è inserita nel lavoro del gruppo di Napoli di ICARUS, tra le cui responsabilità all'interno della collaborazione internazionale vi è quella della realizzazione del sistema di trigger. Principale scopo di questo lavoro di tesi è stato proprio quello di disegnare un sistema elettronico di trigger che sia capace di migliorare le prestazioni dell'esperimento per l'acquisizione di tali eventi rari, definendo un'opportuna segmentazione delle zone sensibili del rivelatore e permettendo, quindi, l'acquisizione solo delle zone interessate dall'evento. Tale segmentazione può contribuire anche a ridurre la mole di dati da registrare ed analizzare. Inoltre, il sistema progettato è selettivo, ovvero è capace di analizzare l'attività e l'occupazione del rivelatore nel tempo in modo da individuare la tipologia degli eventi di interesse così da facilitare la successiva analisi dei dati registrati.

Il sistema di trigger disegnato si compone di tre livelli di logica a ciascuno dei quali corrisponde una tipologia di scheda elettronica: tale modularità permetterà di espandere il sistema con facilità quando verrà ampliata la massa sensibile del rivelatore (fino a 3000 tonnellate). Allo stato attuale solo

il primo e il secondo livello di logica sono progettati. Una parte consistente di questo lavoro di tesi ha riguardato la progettazione, la realizzazione e il collaudo del prototipo della scheda di primo livello del sistema di trigger.

Essa è chiamata *Local Trigger Control Unit* (LTCU) e opera la discriminazione in tensione dei segnali provenienti da 18 schede dell'elettronica di acquisizione e genera due proposte di trigger ognuna ottenuta come Fast-OR di nove ingressi. Inoltre, essa monitora il *rate* di trigger proveniente da ciascun canale in modo da individuare possibili anomalie di funzionamento. Tutte le funzionalità di tale scheda sono controllate da una *Field Programmable Gate Array* (FPGA) che, tramite il protocollo standard RS232, ne permette la gestione da remoto.

Nel capitolo 1 della tesi sono descritti sinteticamente e con un approccio fenomenologico le basi fisiche necessarie per lo sviluppo e la realizzazione del sistema elettronico di trigger di ICARUS, con particolare attenzione agli eventi indotti da supernovae la cui particolare rarità e segnatura sperimentale impongono al sistema particolari prestazioni.

Nel capitolo 2 è descritto il rivelatore ICARUS T600 e la tecnologia che è alla base del suo funzionamento. Particolare attenzione è dedicata all'elettronica di acquisizione con la quale il sistema elettronico di trigger si interfaccia direttamente.

Il capitolo 3 descrive in maniera dettagliata le problematiche che hanno spinto all'introduzione nel sistema di rivelazione del trigger e le proprietà di cui esso deve essere dotato per farvi fronte. Viene descritto anche lo schema di principio del sistema elencando le caratteristiche generali dei singoli livelli di logica.

Nel capitolo 4 è descritto nei dettagli il prototipo della *Local Trigger Control Unit* realizzato. Sono dapprima analizzate la sua struttura, le sue funzionalità e i comandi necessari per eseguire tutte le operazioni. Il capitolo prosegue con la descrizione dei circuiti, analogici e digitali, che realizzano ogni singola operazione, focalizzando, tra le altre cose, la logica dell'algoritmo di conteggio sviluppato. Si conclude, infine, con l'analisi dell'occupazione delle risorse e delle prestazioni in frequenza della FPGA.

Il capitolo 5 tratta la descrizione del software di gestione realizzato per

eseguire il collaudo della LTCU e l'analisi dei risultati ottenuti dai test.

Infine, le conclusioni riportano gli obiettivi raggiunti nel presente lavoro di tesi accennando ai futuri sviluppi sia dello schema generale di trigger che del prototipo della LTCU. In appendice, sono allegati i disegni della scheda, della FPGA e le simulazioni delle singole funzionalità utilizzando i ritardi dei componenti reali.

Capitolo 1

ICARUS: un osservatorio per neutrini cosmici e da acceleratori

ICARUS è un osservatorio per neutrini di origine astrofisica o artificiali da acceleratori di particelle, in fase di costruzione. Con esso, infatti, si studieranno le oscillazioni di neutrino tramite l'osservazione dei neutrini atmosferici, solari, da supernova e dei neutrini del fascio CNGS che verrà inviato dal CERN di Ginevra verso i laboratori sotterranei del Gran Sasso, dove il rivelatore sarà installato. Un altro obiettivo dell'esperimento, ma non meno importante, è legato allo studio della stabilità della materia tramite l'osservazione del decadimento del protone [1].

Scopo di questo capitolo è di descrivere, con un approccio fenomenologico, le basi fisiche necessarie per lo sviluppo del lavoro di tesi, con particolare attenzione agli eventi indotti da supernovae. Infatti, la particolare rarità di questo evento (si calcola infatti che nella nostra galassia esplode in media una supernova ogni cinquant'anni) rende necessario ridurre al minimo le possibili inefficienze di rivelazione per tali eventi. Inoltre, gli eventi da supernova pongono richieste particolari a causa della loro peculiare caratterizzazione sperimentale. Infatti, a differenza degli altri eventi cosmici il cui *rate* di osservazione è costante, i neutrini prodotti dall'esplosione di una supernova interagiscono nel rivelatore in gruppi (*burst*). Ad esempio, in un rivelatore come ICARUS si potranno avere centinaia d'interazioni in circa 10 s e ciò,

6 ICARUS: un osservatorio per neutrini cosmici e da acceleratori

come si vedrà nel corso di questa tesi, pone notevoli sfide al sistema elettronico di trigger, soprattutto in relazione alla sua efficienza di selezione degli eventi.

Per quanto riguarda la natura dei neutrini, ci limitiamo ad osservare che essi sono particelle elettricamente neutre appartenenti alla famiglia dei leptoni, e come tali solo soggette alla forza debole. Essi sono associati all'interazione debole di elettroni, muoni e tauoni e quindi possono essere di tre tipi o sapori, rispettivamente: neutrino elettronico (ν_e), neutrino muonico (ν_μ) e neutrino tauonico (ν_τ) (assieme alle relative antiparticelle).

Da misure dirette della loro massa, si sono posti, ad oggi, soltanto dei limiti superiori [2]:

$$\begin{aligned} m_{\nu_e} &< 3 \text{ eV} && @ 95\% \text{ C.L.} \\ m_{\nu_\mu} &< 0.19 \text{ MeV} && @ 95\% \text{ C.L.} \\ m_{\nu_\tau} &< 18.2 \text{ MeV} && @ 90\% \text{ C.L.} \end{aligned}$$

ma, come vedremo nel seguito, i risultati provenienti da misure indirette (basate sul fenomeno delle *oscillazioni di neutrino*) indicano per i neutrini una massa non nulla seppure molto minore di quella degli altri leptoni, e verosimilmente anche minore dei limiti appena elencati.

Il neutrino può essere rivelato dalla sua interazione con la materia ordinaria, ovvero con le altre particelle. La sua sezione d'urto, però, è molto piccola in quanto, essendo i neutrini dei leptoni privi di carica elettrica e di "colore" (ovvero nucleare forte), essi interagiscono, come detto, solo attraverso la forza nucleare debole, di ordini di grandezza meno intensa sia della forza nucleare forte che della forza elettromagnetica.

Lo studio dei neutrini può essere condotto producendo gli stessi mediante acceleratori di particelle oppure osservando le interazioni di neutrini indotti da processi naturali, in particolare di natura cosmica o astrofisica. Infatti, la Terra è sottoposta a un continuo flusso di neutrini di varie origini: neutrini provenienti dal Big Bang, neutrini prodotti dall'esplosione di supernovae, dalle reazioni termonucleari all'interno delle stelle e quindi del Sole, nonché neutrini prodotti dall'interazione dei raggi cosmici con l'atmosfera. Vi so-

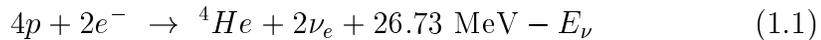
no anche neutrini provenienti dal centro della terra, dove elementi pesanti radioattivi decadono debolmente.

In relazione alla rivelazione di tali neutrini “naturali” si ha, tuttavia, un notevole problema sperimentale: i raggi cosmici, per la maggior parte costituiti da particelle cariche che investono la terra al livello del mare con una frequenza di circa una particella per minuto per centimetro quadrato, provocano interazioni del tutto simili a quelle dei neutrini. Per eliminare o ridurre l’effetto di tali interazioni, gli esperimenti di neutrino vengono generalmente effettuati al di sotto della crosta terrestre, in modo da sfruttare l’effetto schermante della roccia.

I Laboratori Nazionali del Gran Sasso, dove avrà luogo l’esperimento ICARUS, si trovano sotto una copertura di 1400 metri di roccia, capace di ridurre il numero d’interazioni di raggi cosmici di un fattore 10^5 rispetto al livello del mare, corrispondente a circa un muone cosmico per metro quadrato all’ora.

1.1 Neutrini di origine cosmica

Il Sole è un’importante sorgente di neutrini di interesse per ICARUS. Esso prende la propria energia dalle reazioni di fusione che hanno luogo al suo interno. Questo meccanismo avviene secondo la reazione principale dove quattro protoni si combinano formando un nucleo di Elio. Tale reazione procede con l’emissione di due positroni e di due neutrini elettronici ν_e . Si ottiene, quindi, la reazione [2]:



dove E_ν è l’energia dei neutrini, con un valore medio $\langle E_\nu \rangle \sim 0.6 \text{ MeV}$.

La grande maggioranza dei neutrini solari si produce, però, dalla prima reazione della catena protone-protone (vedi figura 1.1)



nella quale due protoni si uniscono formando un nucleo di Deuterio, un positrone e un neutrino. L’energia dei neutrini prodotti in questa reazione non supera i 420 keV.

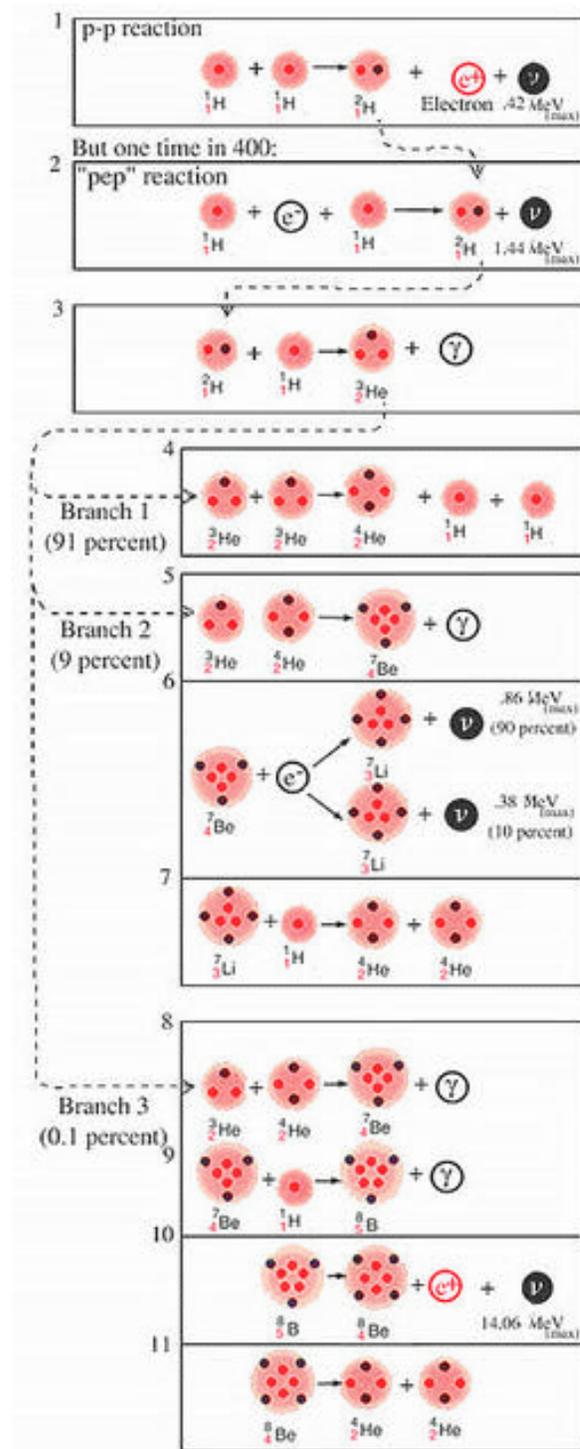


Figura 1.1: Rappresentazione schematica delle reazioni solari.

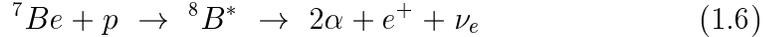
Un'altra reazione che produce neutrini nel Sole è



dove due protoni e un elettrone producono un nucleo di Deuterio e un neutrino con energia di circa 1.4 MeV. Il nucleo di Deuterio prodotto dalla prima o dalla seconda reazione si unisce ad un altro protone formando un nucleo di ${}^3\text{He}$. Nella maggioranza dei casi (91% circa) la catena di reazione si conclude con la fusione di due nuclei di ${}^3\text{He}$ in una particella α e due protoni, i quali danno inizio ad una nuova reazione a catena. Nel rimanente 9% dei casi, il nucleo di ${}^3\text{He}$ reagisce con una particella α producendo un neutrino secondo le reazioni:



Infine, in alcuni casi rari (circa uno ogni 5000 catene protone-protone complete) si ha la reazione:



ovvero il ${}^7\text{Be}$ si fonde con un protone formando un nucleo di ${}^8\text{B}$ radioattivo che a sua volta decade in due particelle α , un positrone e un neutrino elettronico di energia relativamente alta (fino a 15 MeV).

Conoscendo la potenza irradiata dal Sole che investe la superficie terrestre ($\Phi_{rad} \simeq 1.5 \text{ kW/m}^2$), mediante l'equazione 1.1 è possibile stimare il flusso dei neutrini solari [8]:

$$\begin{aligned} \Phi_{\nu_e} &\simeq \frac{2}{27} \Phi_{rad} \text{ MeV}^{-1} \\ &\simeq 6 \times 10^{10} \nu_e \text{ cm}^{-2}\text{s}^{-1} \end{aligned} \quad (1.7)$$

Molti esperimenti condotti negli ultimi 20–30 anni hanno permesso di rivelare i neutrini solari (GNO [3], SuperKamiokande [4], SNO [5] ...) utilizzando diverse tecniche e, soprattutto, con sensibilità a differenti parti dello spettro di energia dei neutrini (vedi figura 1.2).

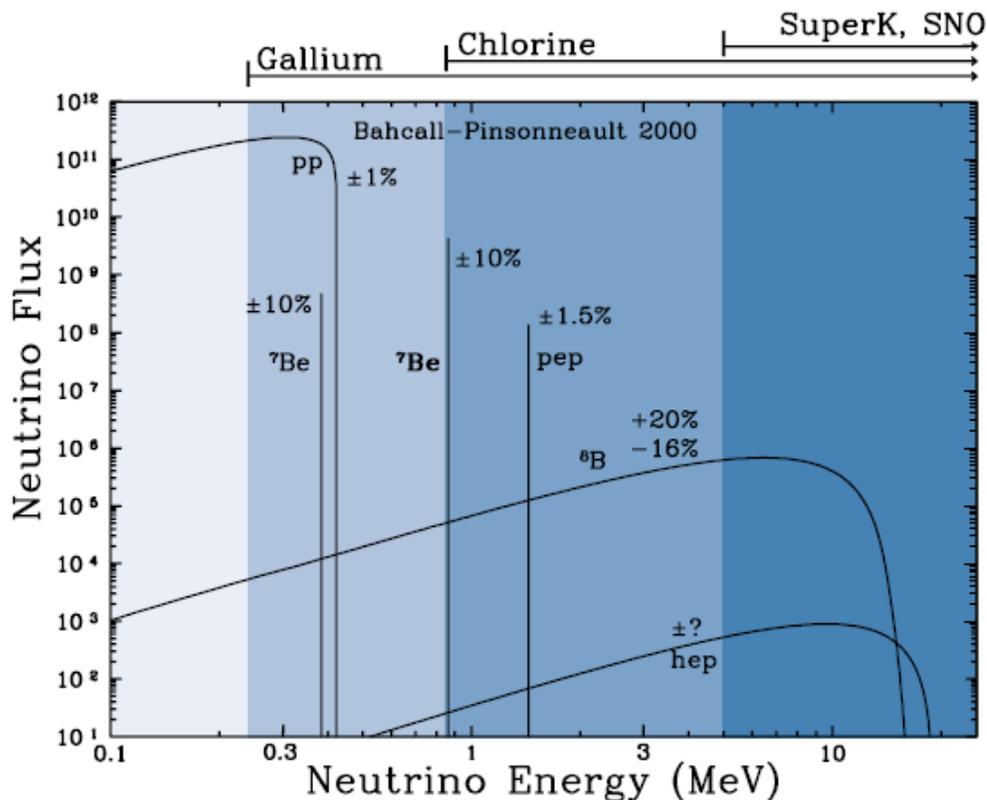


Figura 1.2: Spettro energetico dei neutrini emessi dalle reazioni solari.

Il principale risultato che si è tratto da un tale sforzo sperimentale (dovuto alla piccolezza della sezione d'urto e alla complessità degli esperimenti) è stato che il flusso di neutrini elettronici rivelati risulta essere tra $1/2$ e $1/3$ di quello predetto dai modelli teorici di funzionamento del Sole [6].

Oggigiorno, la ormai consolidata spiegazione di tale deficit è che i neutrini elettronici prodotti nel Sole si “trasformano” in parte in neutrini muonici o tauonici durante il viaggio fino alla Terra. Questa trasformazione è dovuta al già menzionato fenomeno delle *oscillazioni di neutrino*. Esso è un processo d'interferenza quantistica dovuto alla possibilità che per neutrini di massa non nulla gli autostati di sapore (ν_e, ν_μ, ν_τ) possano essere espressi mediante una sovrapposizione di differenti autostati di massa. Poiché questi ultimi si propagano in modo diverso a causa della differenza di massa, lo stato di composizione di sapore varia oscillatoriamente in funzione del tempo e quindi

della posizione in cui il neutrino viene rivelato¹.

ICARUS può rivelare i neutrini solari [1] osservando gli elettroni prodotti nelle seguenti interazioni:

$$\nu_{e,\mu,\tau} + e^- \rightarrow \nu_{e,\mu,\tau} + e^- \quad (1.8)$$

$$\nu_e + {}^{40}\text{Ar} \rightarrow {}^{40}\text{K}^* + e^- \quad (1.9)$$

ovvero, lo scattering elastico di un neutrino di qualsiasi sapore su un elettrone (eq. 1.8) e l'assorbimento di un neutrino elettronico da parte di un nucleo di Argon (eq. 1.9). Entrambe le interazioni producono solitamente nel rivelatore una traccia primaria dovuta ad un elettrone, talvolta accompagnata da tracce secondarie di elettroni di minore energia provenienti dalla conversione di fotoni a loro volta prodotti dalla diseccitazione del ${}^{40}\text{K}^*$. Il confronto tra il numero di eventi di assorbimento e di scattering osservati rispetto alle previsioni teoriche potrà fornire ulteriori informazioni sulle caratteristiche del fenomeno dell'oscillazione dei neutrini solari.

La soglia minima per la rivelazione degli elettroni primari (equazioni 1.8 e 1.9) è di ~ 5 MeV. Essa è legata alla necessità di rigettare eventi di fondo dovuti a radioattività naturale e ad altri processi che producono elettroni di bassa energia. Le principali sorgenti di tali fondi sono:

- la radioattività naturale della roccia che circonda la caverna del Gran Sasso;
- la radioattività intrinseca dell'Argon liquido dovuta alla presenza di due isotopi radiattivi: ${}^{39}\text{Ar}$ e ${}^{42}\text{Ar}$;
- la radioattività residua dei materiali di cui è costituito il rivelatore ICARUS;
- la fotodissociazione nucleare con conseguente produzione di neutroni ad opera di muoni ad alta energia che interagiscono nella roccia della caverna.

¹Una trattazione esauriente del fenomeno delle oscillazioni di neutrino esula dagli scopi di questa tesi. Ci limitiamo qui, come detto, ad una sintetica descrizione fenomenologica degli elementi argomentati di fisica delle particelle necessari per lo sviluppo e la realizzazione del sistema di trigger dell'esperimento ICARUS.

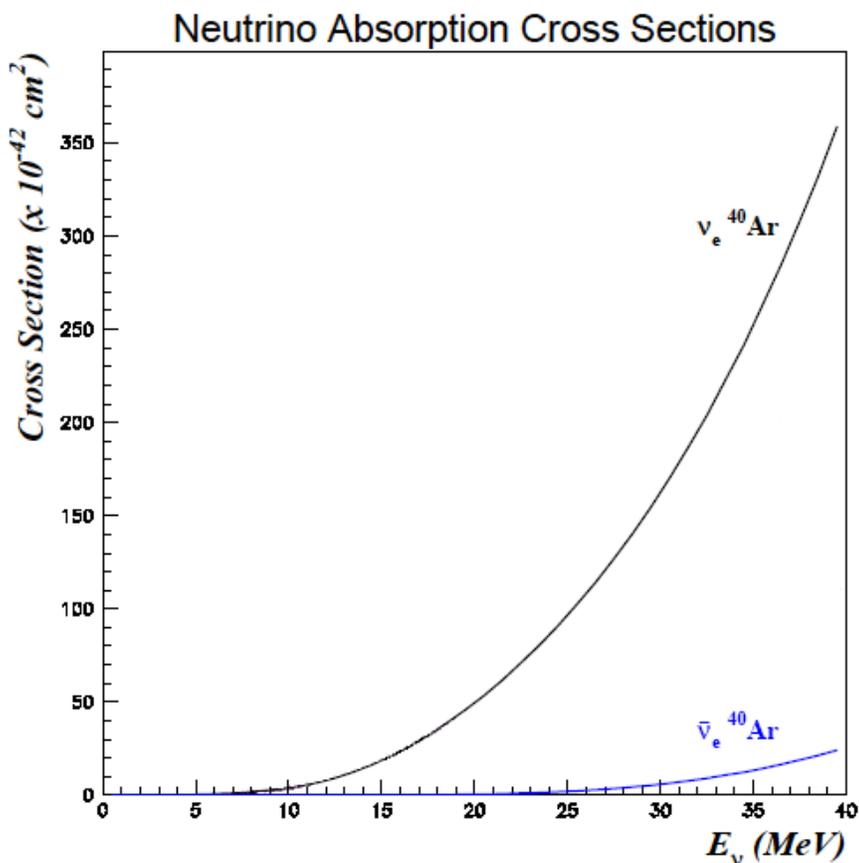


Figura 1.3: Sezione d'urto in funzione dell'energia dell'assorbimento di neutrini e antineutrini elettronici da parte di nuclei di Argon.

Le componenti del fondo più significative sono, quantitativamente: la radioattività della roccia e la produzione di neutroni da raggi cosmici; questi ultimi, in particolare, producono elettroni di energia comparabile a quelli prodotti dai neutrini del decadimento del ^8B , di interesse particolare per ICARUS, data la soglia di rivelazione di 5 MeV.

Per il rivelatore ICARUS T600, costituito da circa 600 tonnellate di Argon liquido, il numero totale di eventi attesi in un anno dovuti a neutrini solari è dell'ordine di 1000 [7].

Un'altra sorgente naturale di neutrini cosmici proviene dall'interazione dei raggi cosmici con l'atmosfera terrestre. Quando un raggio cosmico primario

(protoni di alta energia o ioni leggeri) entra nell'atmosfera e interagisce con un nucleo di Ossigeno o di Azoto a qualche chilometro dal suolo, hanno inizio una serie d'interazioni secondarie e decadimenti di mesoni in cascata (pioggia adronica ed elettromagnetica) nella quale sono prodotti un gran numero di pioni e mesoni K . I pioni carichi positivi decadono entrambi secondo la reazione:

$$K^+, \pi^+ \rightarrow \nu_\mu + \mu^+ \quad (1.10)$$

I muoni prodotti dalle reazioni 1.10 decadono a loro volta producendo un positrone, un neutrino elettronico e un antineutrino muonico

$$\mu^+ \rightarrow e^+ + \nu_e + \bar{\nu}_\mu \quad (1.11)$$

Reazioni simmetriche in carica e numero leptonic si ottengono per il decadimento dei mesoni e muoni negativi:

$$\pi^- \rightarrow \bar{\nu}_\mu + \mu^- \quad (1.12)$$

$$K^- \rightarrow \bar{\nu}_\mu + \mu^- \quad (1.13)$$

$$\mu^- \rightarrow e^- + \bar{\nu}_e + \nu_\mu \quad (1.14)$$

Qualitativamente ci si aspetta, quindi, che il rapporto $R = (\nu_\mu + \bar{\nu}_\mu)/(\nu_e + \bar{\nu}_e)$ sia approssimativamente uguale a 2. In realtà, ad alta energia tale rapporto è apprezzabilmente maggiore di 2 in quanto, a causa del *boost* di Lorentz muoni provenienti dal decadimento dei mesoni π e K possono non avere il tempo di decadere prima di raggiungere la superficie terrestre e quindi di produrre ν_e e $\bar{\nu}_e$. Tuttavia, anche corretto tale effetto cinetico, si osserva sperimentalmente un notevole deficit di neutrini ed antineutrini muonici. Va osservato che nei rivelatori interagiscono sia i neutrini prodotti nell'atmosfera sovrastante e quindi prodotti a distanza relativamente breve (~ 10 km), che quelli prodotti nell'atmosfera dall'altra parte della Terra, cioè a distanze di migliaia di chilometri.

Un risultato molto importante ottenuto nel 1998 dall'esperimento Super-Kamiokande [10] ha mostrato che tale deficit di neutrini muonici atmosferici dipende sia dall'energia del neutrino (E) che dalla distanza percorsa dallo stesso (L), ovvero dall'angolo zenitale, come schematizzato in figura 1.4. Tale dipendenza da L e da E è ancora una volta indicativa del processo di

oscillazione dei neutrini. In questo caso i neutrini di tipo muonico oscillano verosimilmente in neutrini tauonici, soprattutto quando provengono da grandi distanze rispetto al rivelatore (Nadir).

Il rivelatore ICARUS sarà in grado di distinguere i due diversi sapori di neutrini atmosferici e la direzione di provenienza. Quindi, misurando il rapporto ν_e/ν_μ e la distribuzione nell'angolo di zenith, potrà evidenziare l'effetto dell'oscillazione dei neutrini che dovrebbe essere per gli eventi provenienti dal "basso" maggiore che per quelli provenienti dall'alto. Il numero totale di eventi da neutrini atmosferici attesi nel T600 è dell'ordine di ~ 100 per anno [9].

1.2 Neutrini da supernovae

La più spettacolare produzione di neutrini nell'Universo, infine, proviene dall'esplosione di una supernova di tipo II [8] [11]. Essa si ottiene quando il nucleo di Fe di una stella di massa elevata (maggiore di circa otto volte la massa del Sole) non è più in grado di contrastare la pressione esercitata dalla forza di gravità e quindi collassa fino raggiungere densità nucleari formando così una stella proto-neutronica. Questo evento è particolarmente raro in quanto, nella nostra galassia esplodono in media circa un paio di supernovae al secolo. Come si vedrà nel capitolo 3 il sistema di trigger dell'esperimento è disegnato per selezionare efficientemente questi eventi nel rivelatore, data la loro rarità e interesse scientifico.

Nell'implosione della stella massiva, l'enorme energia gravitazionale accumulata (dell'ordine di 10^{53} erg) è rilasciata per il 99% circa in una violenta esplosione di neutrini e antineutrini di tutti e tre i sapori con un'energia tipica di poche decine di MeV.

L'emissione di neutrini da una supernova può essere suddivisa in due fasi: la prima è caratterizzata dal cosiddetto processo di neutronizzazione dato dalla reazione:



che causa una emissione di neutrini elettronici in un intervallo temporale la cui durata è dell'ordine del millisecondo. Tuttavia, essi "dissipano" solo una

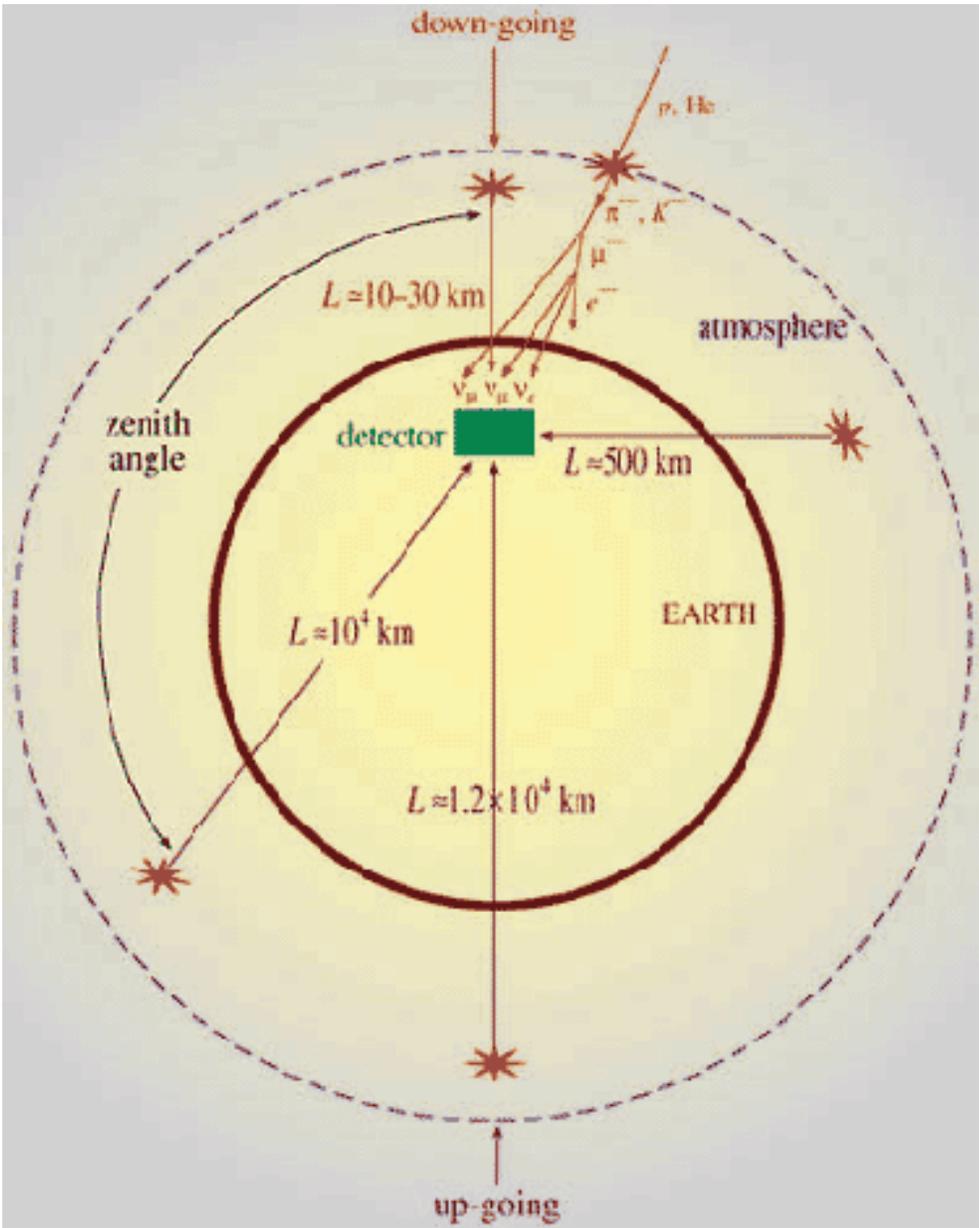


Figura 1.4: Schema della variazione dell'angolo zenitale per a seconda della distanza di produzione dei neutrini atmosferici.

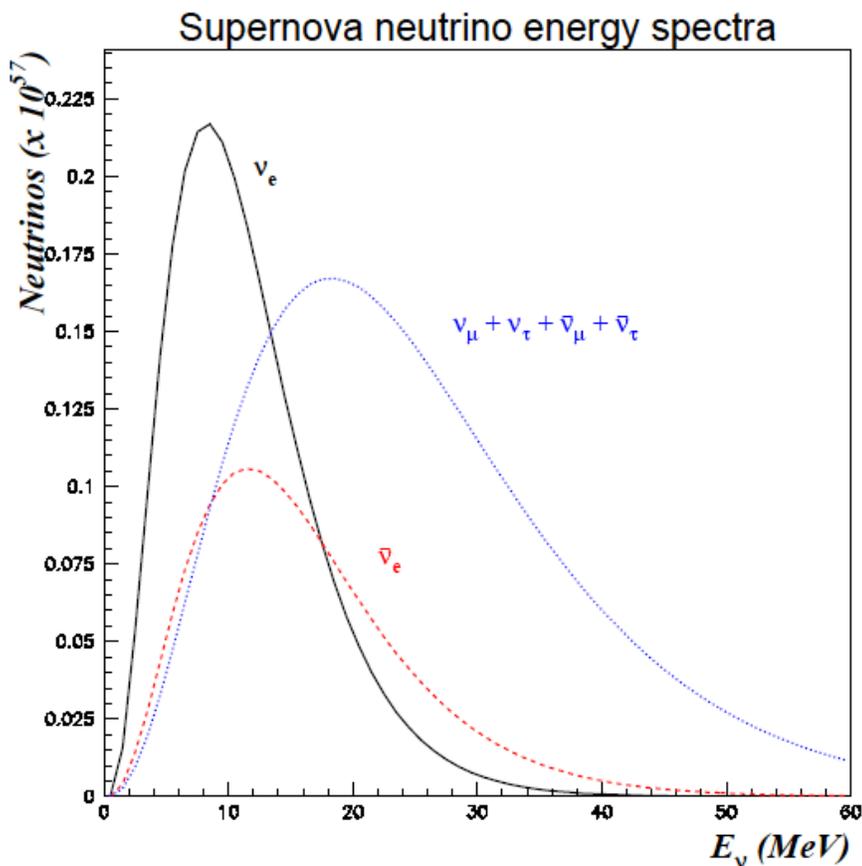


Figura 1.5: Spettro di energia per i neutrini prodotti da una supernova di tipo II che rilascia 3×10^{53} erg.

piccola frazione ($\sim 1\%$) dell'energia gravitazionale accumulata e l'alta densità raggiunta nell'implosione ($\sim 10^{12}$ g/cm³) intrappola la quasi totalità dei leptoni all'interno del nucleo. La dissipazione dell'energia rimanente mediante l'emissione di coppie neutrino-antineutrino di tutti i sapori avviene durante il raffreddamento della stella proto-neutronica [12]. Questo fenomeno, che caratterizza la seconda fase, avviene in un intervallo temporale dell'ordine di circa 10 s. Questo meccanismo di emissione è all'origine della particolare segnatura sperimentale degli eventi di supernova, ovvero un alto numero di eventi concentrati in un intervallo di ~ 10 s (*burst*).

In figura 1.5 è mostrato lo spettro di energia dei neutrini emessi da un'esplosione di supernova [11]. Come si vede, l'energia media dei neutrini è

dell'ordine delle decine di MeV e la dipendenza dello spettro dal sapore del neutrino può essere spiegato da semplici considerazioni. Innanzitutto, i neutrini non elettronici non possono interagire con i nucleoni attraverso reazioni del tipo:

$$\bar{\nu}_{\mu,\tau} + p \rightarrow n + \mu^+(\tau^+) \quad (1.16)$$

$$\nu_{\mu,\tau} + n \rightarrow p + \mu^-(\tau^-) \quad (1.17)$$

in quanto essi non hanno energia sufficiente a superare la soglia di formazione dei corrispondenti leptoni carichi. Per questo la loro energia cinetica media è superiore a quella dei neutrini elettronici.

Le analoghe reazioni deboli di corrente carica spiegano la differenza nello spettro di ν_e e $\bar{\nu}_e$:

$$\bar{\nu}_e + p \rightarrow n + e^+ \quad (1.18)$$

$$\nu_e + n \rightarrow p + e^- \quad (1.19)$$

In questo caso l'eccesso di neutroni rispetto ai protoni causato dalla neutronizzazione (cfr. la reazione 1.15) fa sì che i neutrini elettronici perdano in media più energia dei rispettivi antineutrini.

Riassumendo [12]:

$$\langle E_\nu \rangle = \begin{cases} 10 - 12 \text{ MeV} & \text{per } \nu_e, \\ 14 - 17 \text{ MeV} & \text{per } \bar{\nu}_e, \\ 24 - 27 \text{ MeV} & \text{per } \nu_{\mu,\tau} \text{ e } \bar{\nu}_{\mu,\tau}. \end{cases} \quad (1.20)$$

Il flusso totale di neutrini di un dato sapore si può ricavare dallo spettro di energia ipotizzando che l'energia totale rilasciata sia equipartita fra i sei sapori. Per una energia rilasciata di 3×10^{53} erg si attendono, quindi, $2.8 \times 10^{57} \nu_e$, $1.9 \times 10^{57} \bar{\nu}_e$, $5.0 \times 10^{57} \nu_{\mu,\tau} + \bar{\nu}_{\mu,\tau}$ per un totale di circa 9.7×10^{57} neutrini [11].

Quello che rimane dopo l'esplosione di una supernova di tipo II è una pulsar, una stella neutronica in rapida rotazione che emette onde radio. Uno dei misteri delle pulsar è il fatto che esse si muovono molto più velocemente (poche centinaia di km/s) delle loro progenitrici (poche decine di km/s). Non

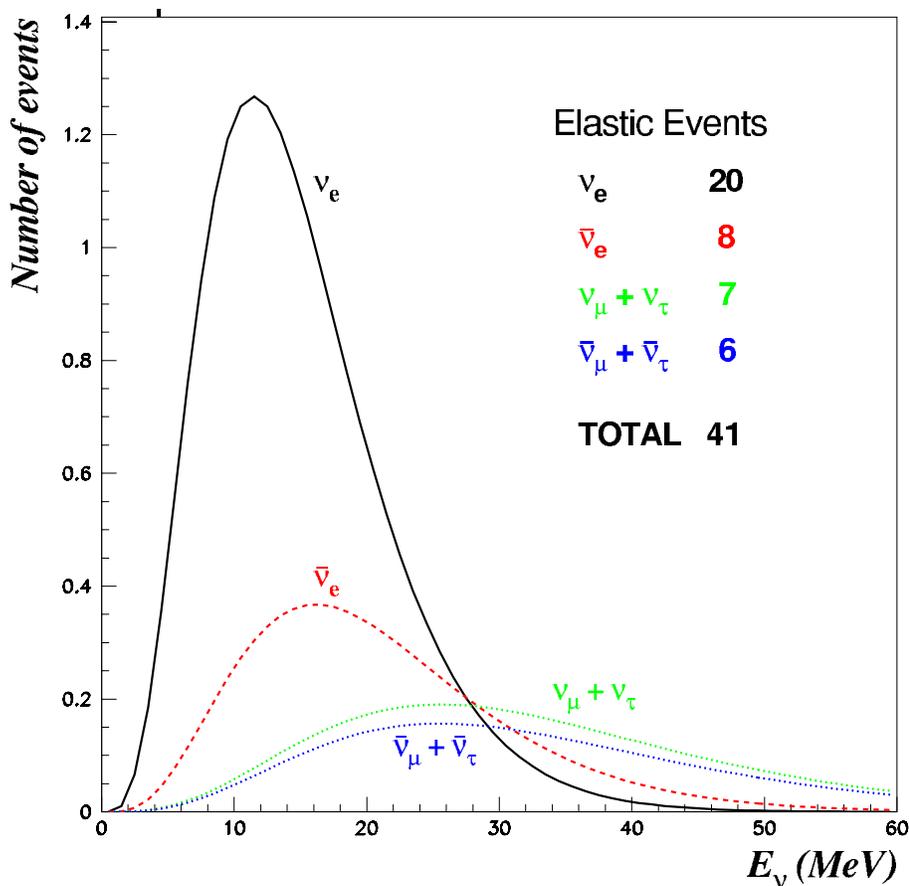


Figura 1.6: Numero di eventi di scattering elastico su elettrone attesi nel rivelatore ICARUS T600 per neutrini prodotti da una supernova di tipo II esplosa a una distanza di 10 kpc [11].

esiste una spiegazione standard soddisfacente di come sia impartita la spinta iniziale ad una pulsar, e qui, lo studio dei neutrini prodotti dall'esplosione può risultare di interesse per capirne il meccanismo.

Il modello appena descritto ha trovato una prima conferma sperimentale nel 1987 quando i rivelatori Kamiokande e IMB registrarono una dozzina di eventi di neutrino prodotti dall'esplosione della supernova SN 1987A nella *Grande Nube di Magellano*, una piccola galassia satellite della Via Lattea, ad una distanza di 50 kpc (~ 165000 anni luce) [13] [14]. Questa è stata la prima occasione per gli astronomi moderni di osservare una supernova relativamente vicina da quando Keplero ne individuò una nel 1604.

Come già detto precedentemente, la rivelazione di neutrini in ICARUS è affidata ai processi di scattering elastico su elettroni (eq.1.8) e di assorbimento da parte di un nucleo di Argon (eq.1.9). Un tipico evento di supernova produrrà circa 200 interazioni nel rivelatore T600. Il maggiore contributo verrà dai processi di assorbimento di ν_e , mentre lo scattering elastico di tutte le specie di neutrino contribuirà per circa il 15% degli eventi totali (vedi figura 1.6).

1.3 Neutrini artificiali da acceleratori

Oltre che allo studio delle interazioni provocate da neutrini di origine cosmica, ICARUS potrà efficacemente contribuire a rivelare le interazioni di neutrini dal fascio CNGS, un fascio di neutrini (essenzialmente) muonici inviato dal CERN di Ginevra al laboratorio del Gran Sasso (vedi figura 1.7). Esso è stato disegnato per osservare con neutrini artificiali le oscillazioni $\nu_\mu - \nu_\tau$, come indicato dai risultati ottenuti con neutrini di origine atmosferica, ricreando le condizioni sperimentali relative al rapporto L/E tipico del segnale dei neutrini atmosferici.

Un fascio di protoni di circa 400 GeV/c è estratto dall'anello acceleratore SPS (Super Proto Sincrotrone) del CERN e fatto interagire con un bersaglio di grafite. Dall'interazione profondamente anelastica emergono mesoni (π e K) che, opportunamente selezionati in carica ed energia da un sistema di lenti magnetiche, vengono fatti decadere per circa un chilometro in μ e ν_μ . Gli adroni rimanenti alla fine del percorso di decadimento sono assorbiti da uno schermo di ferro e grafite. I muoni, prodotti nel decadimento sono rivelati da opportuni apparati per una misura indiretta del flusso di neutrini, che, invece, continuano indisturbati il loro viaggio verso il Gran Sasso [15].

È importante notare che ICARUS sarà uno dei pochi esperimenti in grado di studiare il fenomeno di oscillazione $\nu_\mu - \nu_\tau$ sia mediante lo studio dei neutrini atmosferici sia attraverso la rivelazione dei ν_τ provenienti dai ν_μ del fascio CNGS.

I neutrini da acceleratore, tuttavia, non pongono alcuna particolare sfida alla realizzazione del sistema di trigger, oggetto di questa tesi. Infatti, il

momento dell'estrazione dei fotoni dall'acceleratore, e quindi quello di produzione dei neutrini è conosciuto con ottima precisione. Correggendo per il tempo di volo dal CERN al Gran Sasso, è molto semplice generare un segnale di abilitazione all'acquisizione di tali eventi.

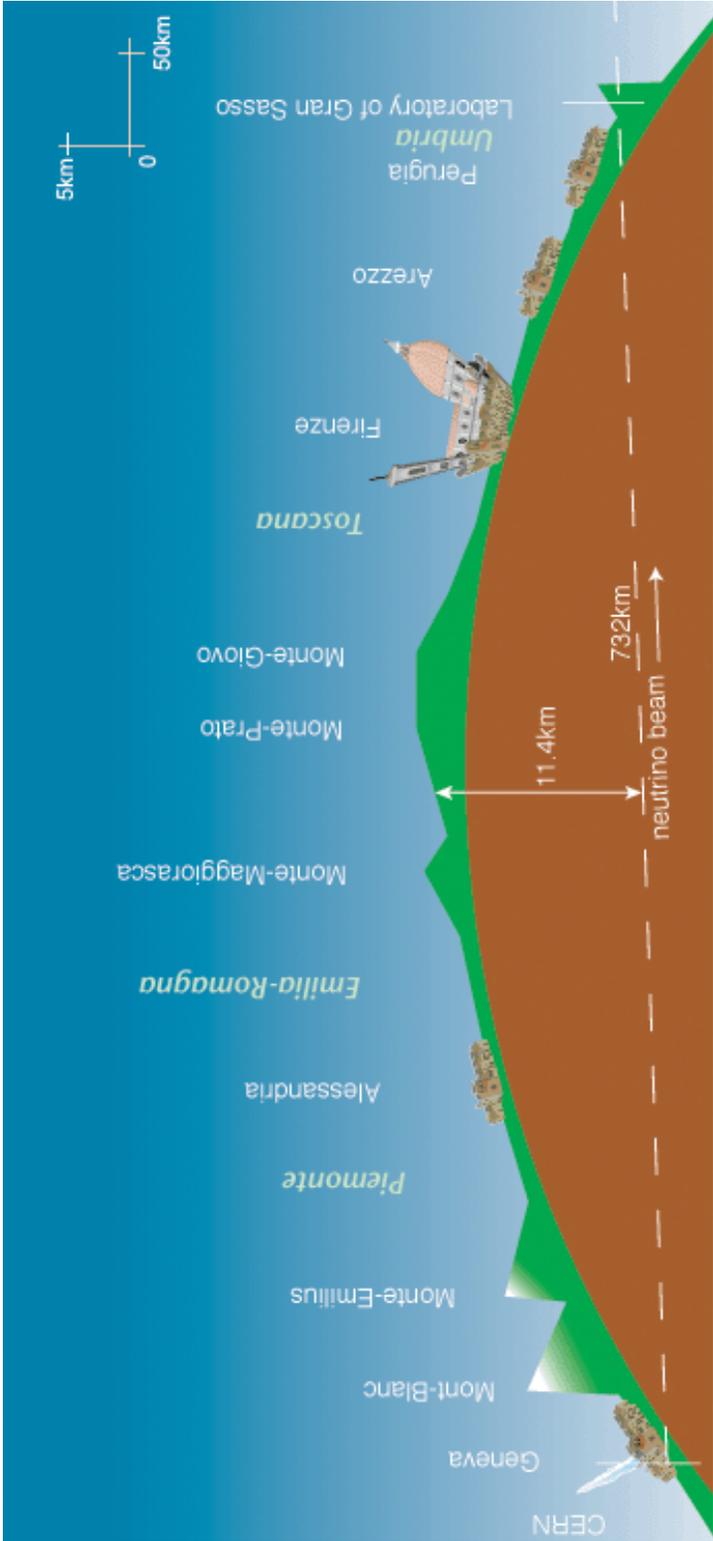


Figura 1.7: Schema del percorso del fascio CNGS nel sottosuolo.

Capitolo 2

Il rivelatore ICARUS

Intorno agli anni '60 - '70 il ruolo dei rivelatori chiamati “camere a bolle” è stato di grande importanza nella fisica delle particelle elementari per la possibilità che offrivano di fornire immagini tridimensionali degli eventi ionizzanti che si verificano all'interno del loro volume sensibile. Le camere a bolle rivestono, infatti, contemporaneamente il ruolo di bersaglio e di rivelatore grazie all'elevata densità del liquido che le riempie.

Tuttavia, il processo meccanico e quindi lento di espansione della camera e di trasferimento dell'immagine dell'evento su film fotografico ne limita la velocità di impiego. Inoltre, l'espansione non è agganciabile all'istante in cui avviene il processo: il dispositivo non è triggerabile. Al contrario, un generico rivelatore di tipo elettronico, in cui l'evento produce segnali elettrici che sono estratti, amplificati, digitalizzati, registrati e infine decodificati può invece essere triggerato e letto *on-line*.

Questo è il motivo per cui dispositivi elettronici sempre più complessi e di grandi dimensioni hanno progressivamente sostituito le camere a bolle quali rivelatori più diffusi nella fisica delle particelle elementari già a partire dagli anni '70.

Tuttavia, anche questi rivelatori hanno dei limiti. Infatti, le camere proporzionali a drift o a proiezione temporale non possono essere nello stesso tempo bersaglio e rivelatore a causa della bassa densità dei gas che utilizzano come mezzo ionizzante. Tale separazione dei ruoli rappresenta un problema per quegli esperimenti dedicati alla rivelazione di eventi rari, quali il deca-

dimento del protone e le interazioni di neutrini. Per tali eventi, il rivelatore ideale è quello che fornisce il maggior dettaglio di informazioni (elevata risoluzione spaziale ed in energia, identificazione delle particelle, immagine tridimensionale dell'evento) tipico delle camere a bolle e contemporaneamente la possibilità di una lettura elettronica.

Il progetto del rivelatore ICARUS fu dall'inizio volto alla realizzazione di un innovativo dispositivo in grado di giocare il ruolo di una camera a bolle elettronica.

L'idea originale per la realizzazione di una camera ad Argon liquido a proiezione temporale (Liquid Argon-TPC) fu proposta da C. Rubbia nel 1977 [16]. L'Argon liquido costituisce un mezzo ideale per la rivelazione di eventi ionizzanti (alta ionizzazione specifica e densità) ed inoltre il rivelatore è sempre attivo nonché capace di produrre immagini tridimensionali proprio come le camere a bolle.

2.1 La TPC di ICARUS

Il principio di funzionamento del rivelatore TPC ad Argon liquido (LAr) è relativamente semplice: l'intero volume di Argon liquido, delimitato dalle pareti del criostato di contenimento, necessario in quanto la temperatura del LAr è di circa 89 °K, è immerso in un campo elettrico intenso ed uniforme, stabilito da due piani di elettrodi posti a potenziale opportuno.

L'Argon costituisce così il materiale dielettrico di un grande condensatore piano. Ogni evento ionizzante, ovvero l'insieme delle particelle cariche prodotte a seguito di una interazione o di un decadimento che si propagano nel mezzo, produrrà delle tracce formate dall'insieme delle coppie elettrone-ione prodotte per ionizzazione. A causa dell'intensità del campo elettrico presente, una frazione di tali coppie non si ricombinerà ma tenderà a separarsi muovendosi nella direzione del campo elettrico, in versi opposti.

Il moto delle cariche elettriche induce una corrente sugli elettrodi che stabiliscono il campo elettrico nel volume di Argon liquido. L'intensità di questa corrente è proporzionale al campo elettrico presente e alla mobilità delle cariche. Gli elettroni hanno una velocità di deriva in Argon ($\sim 1.1 \text{ mm}/\mu\text{s}$, in

condizioni di campo elettrico standard di 500 V/cm) di cinque ordini di grandezza maggiore di quella degli ioni. Solo gli elettroni daranno un contributo apprezzabile alla corrente indotta.

La registrazione del segnale elettrico indotto sugli elettrodi permette quindi di ricavare informazioni sull'evento fisico che ha avuto luogo nel volume di Argon. Il dettaglio e la precisione di queste informazioni dipende tuttavia dalla geometria degli elettrodi che generano il campo. Questi non saranno semplici piani di conduttore, ma delicate strutture composte (le camere a proiezione temporale, TPC) che rappresentano quindi il vero cuore dell'apparato ICARUS.

Prima di descrivere le TPC occorre menzionare un importante requisito cui deve soddisfare l'Argon liquido per poter essere utilizzato in ICARUS: l'estrema purezza chimica, ossia la garanzia che in esso non vi siano tracce di elementi elettronegativi (ossigeno o idrocarburi) se non in quantità estremamente ridotte (< 1 ppb di O_2 equivalente). Tale purezza è necessaria per assicurare che gli elettroni prodotti dalle particelle ionizzanti non vengano catturati dalle molecole elettronegative disciolte nell'Argon liquido durante il percorso che li separa dal punto di produzione per ionizzazione all'elettrodo su cui vengono raccolti. L'Argon di produzione industriale non è sufficientemente puro ed uno dei maggiori ostacoli alla realizzazione del rivelatore ICARUS è stato proprio quello di progettare e costruire un sistema di purificazione adeguato a garantire il livello di purezza necessario sui grandi volumi dell'apparato sperimentale.

Come già detto, per stabilire il campo elettrico occorrono due piani di elettrodi. Il catodo è costituito da un conduttore metallico piano di dimensioni e potenziale opportuno; l'anodo, invece, è realizzato con uno o più piani di fili conduttori paralleli sui quali gli elettroni prodotti vengono raccolti o inducono segnali elettrici dopo un certo tempo dal momento in cui è avvenuto l'evento, tempo calcolabile una volta nota la velocità di deriva nell'Argon liquido.

L'uniformità del campo elettrico è ottenuta grazie ad un sistema di guide di campo. Il potenziale dei fili nel rivelatore, però, non consente amplificazione a valanga degli elettroni vicino ai fili. Per tale motivo la carica che deve

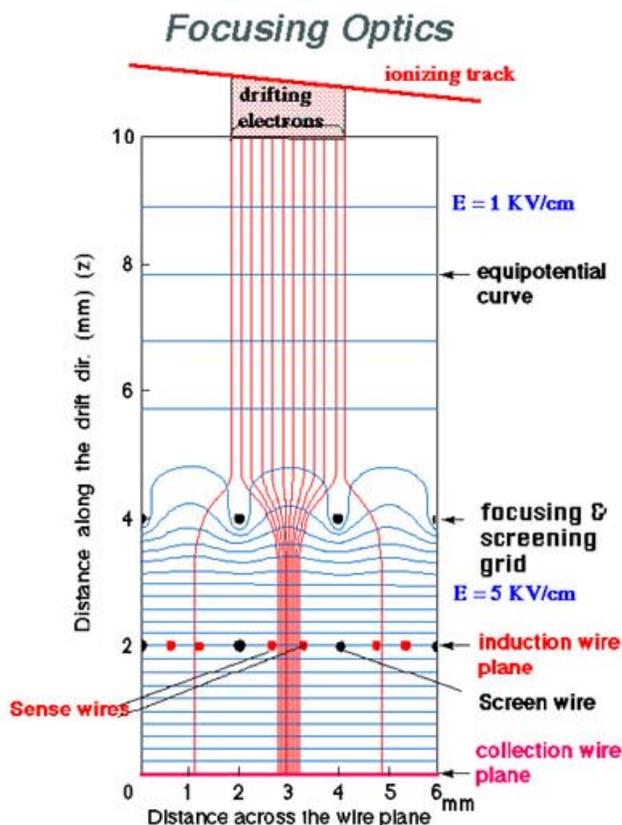


Figura 2.1: Schema di funzionamento della TPC. La deriva degli elettroni avviene lungo l'asse z , i fili del piano sono disposti lungo l'asse y (perpendicolare al piano della figura) e quelli di collezione lungo l'asse orizzontale (x). Inoltre, sono riportate le linee di campo in prossimità dei fili.

essere rivelata è relativamente piccola (una particella al minimo di ionizzazione produce circa 6000 elettroni per millimetro). Ciò richiede l'impiego di amplificatori a basso rumore per la lettura dei segnali in uscita dai fili.

D'altra parte l'assenza di una moltiplicazione a valanga fa sì che gli stessi elettroni che derivano possano essere utilizzati più volte per produrre segnali di induzione su differenti piani di lettura, trasparenti al passaggio degli elettroni, disposti prima del piano di fili anodico (o di collezione). Questo permette di effettuare una lettura multi-dimensionale, con adeguata ridondanza per risolvere l'ambiguità nella ricostruzione delle tracce.

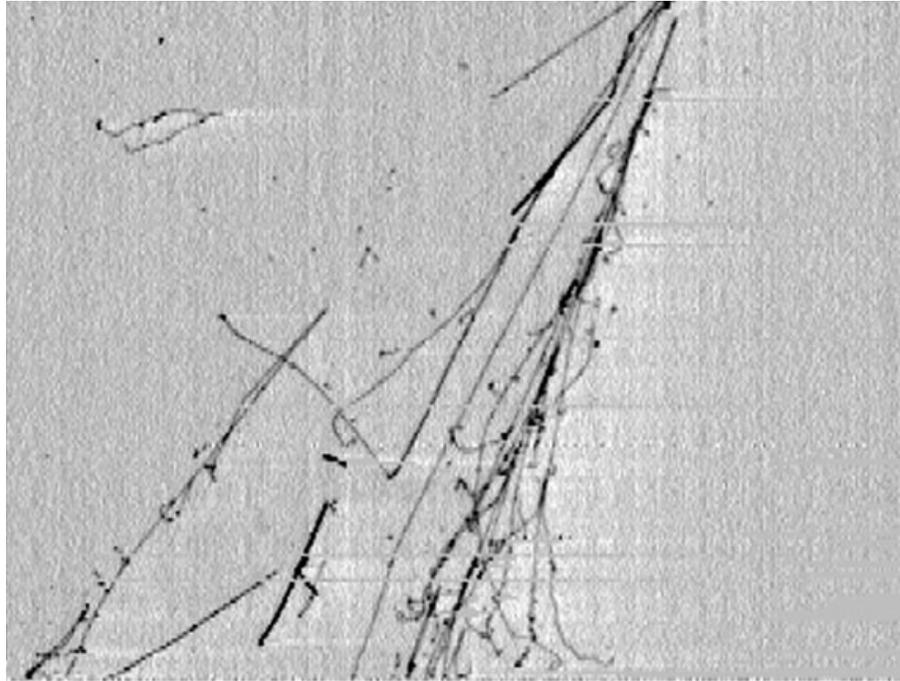


Figura 2.2: Tracce di ionizzazione di un evento indotto dall'interazione di un raggio cosmico su un nucleo di Argon nel rivelatore ICARUS.

In figura 2.1 è mostrata la lettura di un segmento di traccia lungo il quale sono prodotti elettroni di ionizzazione. Per ciascun punto del segmento, z è la coordinata lungo il campo elettrico, e x ed y quelle identificate dai piani ortogonali di fili di lettura. Gli elettroni che si mantengono disposti lungo il segmento di traccia per azione del campo elettrico raggiungono i due piani di fili. Il primo piano ha la funzione di misurare la coordinata y mediante segnali di induzione. Il secondo piano di fili (che rappresenta il piano anodico) a pochi millimetri dal primo piano, misura la coordinata x mediante la collezione degli elettroni (vedi figura 2.2.). L'intensità del campo elettrico nel volume sensibile e tra i piani di fili deve essere fissata in modo che il primo piano sia trasparente al passaggio degli elettroni. Nel caso specifico del rivelatore T600 i piani di induzione sono due.

Il valore della coordinata z è ricavato da una misura del tempo di deriva

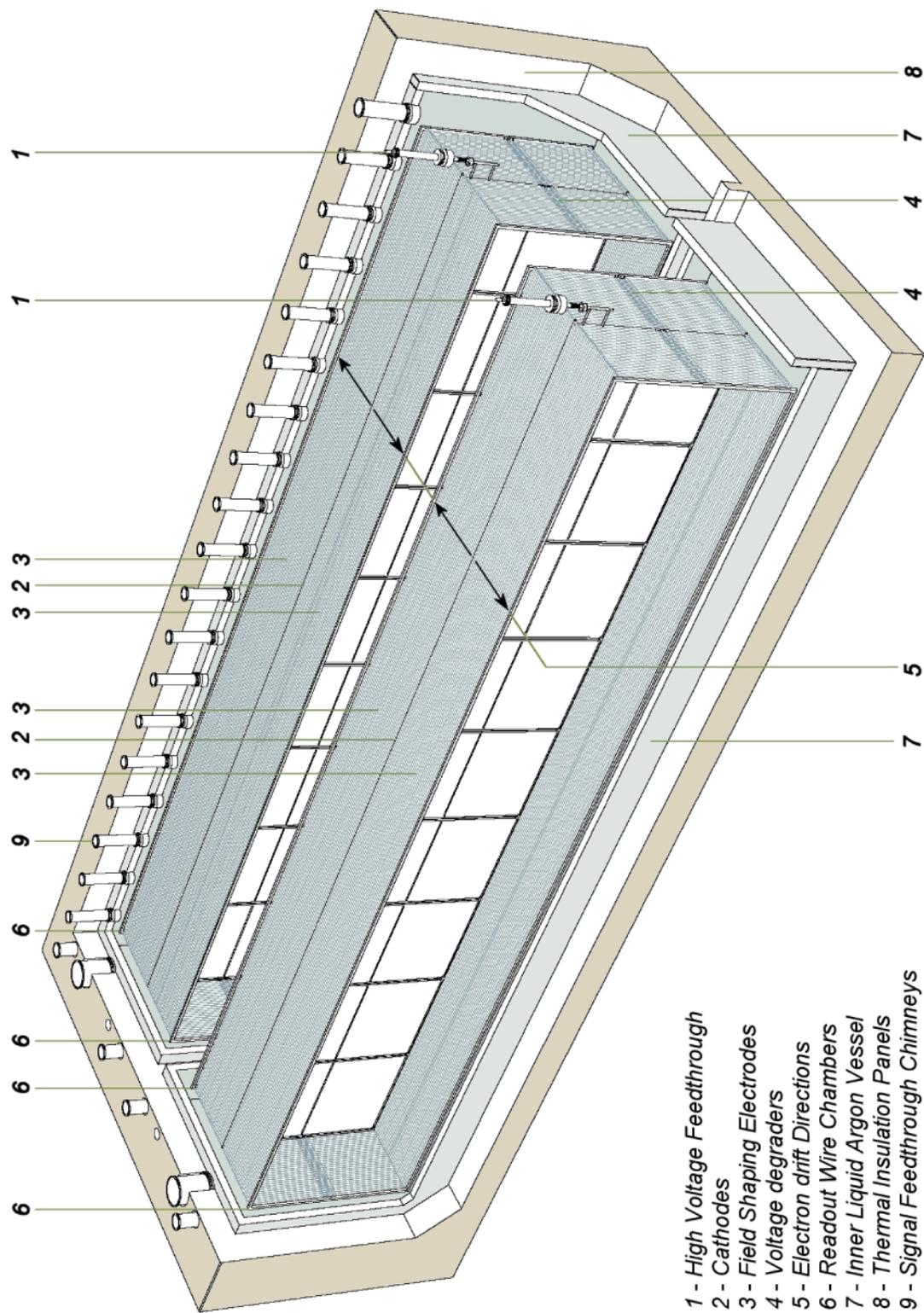


Figura 2.3: Disegno del rivelatore T600

impiegato a raggiungere i piani di fili, purché siano noti l'istante iniziale $t = 0$ (segnale di trigger, \bar{t}_0) e la velocità di deriva. Quest'ultima dipende dal campo elettrico presente nel volume di LAr, mentre il \bar{t}_0 è determinato dalla registrazione del *flash* luminoso, costituito da radiazione elettromagnetica di scintillazione, che segue il processo di ionizzazione. A tal fine il metodo di rivelazione adottato in ICARUS consiste nel disporre una matrice di "fotomoltiplicatori" immersi direttamente in Argon liquido. Questa serie di procedimenti permette di ricostruire in modo completo le tre coordinate delle tracce prodotte dall'evento.

La risoluzione spaziale nella determinazione della posizione dei vertici di interazione o di decadimento e delle direzioni delle tracce risulta eccellente. Essa è determinata dalle dimensioni del pixel tridimensionale che è individuato dalla distanze tra filo e filo e tra i piani stessi ed è dell'ordine di qualche millimetro.

Un'altra caratteristica fondamentale del rivelatore consiste nella possibilità di integrare la carica ionizzata lungo la traccia, sommando i segnali registrati in collezione. Dato che la carica è proporzionale all'energia depositata, il suo integrale fornisce una precisa informazione calorimetrica sull'energia della particella che l'ha prodotto. Il rivelatore ICARUS costituisce, pertanto, un calorimetro omogeneo ad alta risoluzione. Infine, l'identificazione delle particella può essere effettuata con sufficiente precisione misurando la carica depositata per ionizzazione per unità di lunghezza e il range delle particelle che si arrestano nel volume sensibile.

2.2 Descrizione generale del rivelatore T600

Il rivelatore base dell'esperimento ICARUS è il cosiddetto T600 (figura 2.3), composto da due grandi criostati identici, ognuno dei quali ha dimensioni di circa $20 \times 4 \times 4 \text{ m}^3$. Il sistema di riferimento adottato generalmente prevede, per un osservatore che guardi dal catodo l'anodo, che quest'ultimo individui il piano $z = 0$ (l'asse \mathbf{z} è rivolto verso l'osservatore) con l'asse \mathbf{x} nella direzione determinata dalla dimensione maggiore della TPC, e l'asse \mathbf{y} univocamente determinato dalla richiesta che esso formi con gli altri due una



Figura 2.4: Foto dell'interno della camera sinistra di un T300

terna ortogonale levogira. Ad esso si farà riferimento come sistema assoluto o del laboratorio.

Ciascun semimodulo (T300) è isolato termicamente dall'esterno e contiene due sistemi di fili che costituiscono i piani di lettura anodica chiamati camera destra e sinistra, con il catodo in comune lungo il lato maggiore della camera. Gli anodi sono costituiti da tre piani paralleli (distanti 3 mm l'uno dall'altro) di fili interspaziati a loro volta di 3 mm. I piani anodici vengono distinti dall'orientazione dei fili che li costituiscono e chiamati rispettivamente (da quello più vicino al catodo): piano di induzione I (0°), piano di induzione II (-60°), piano di collezione (60°).

Il numero totale di fili nel T600 è di 53248; la distanza tra il catodo e gli anodi è di 1.5 m e costituisce la massima lunghezza di drift del rivelatore, come mostrato in figura 2.4.

Un campo elettrico uniforme perpendicolare ai fili anodici permette il drift degli elettroni di ionizzazione ed è realizzato da un sistema di alta tensione (HV) completato da un sistema di elettrodi posti lungo la direzione di drift che garantiscono l'uniformità del campo elettrico (elettrodi di campo). Ad un voltaggio nominale di 75 kV corrisponde un campo elettrico E di 500 V/cm e quindi risulta fissata la velocità di deriva degli elettroni. Considerando la lunghezza massima di drift (1.5 m) il tempo che impiega l'elettrone per percorrere tale distanza risulta di circa 1 ms.

Dalla sommità del criostato fuoriescono le flange isolate termicamente che contengono le connessioni elettriche dei fili e di ogni altra strumentazione interna (fotomoltiplicatori, sistema di controllo della purezza del LAr, controllo della temperatura, ...) con l'elettronica di acquisizione.

L'elettronica di read-out, progettata per acquisire continuamente i segnali provenienti da ciascun filo, digitalizzarli e memorizzarli, è modulare, con il modulo composto da tre differenti unità ognuna delle quali gestisce 32 canali (fili). Esse sono:

- una “scheda di disaccoppiamento” che riceve i segnali analogici dai fili delle camere e provvede alla distribuzione dei segnali alla successiva “scheda analogica”;
- una “scheda analogica” che amplifica i segnali, esegue un multiplexing dei canali e li digitalizza (10 bit) a 40 MHz;
- una “scheda digitale” che grazie a un chip appositamente progettato chiamato DAEDALUS, esegue l'algoritmo di hit finding sui dati provenienti dalla scheda analogica e comunica al DAQ i dati da memorizzare per l'analisi off-line.

L'elettronica di acquisizione sarà descritta in dettaglio nel paragrafo 2.5 essendo rilevante per lo sviluppo del sistema di trigger oggetto di questa tesi.

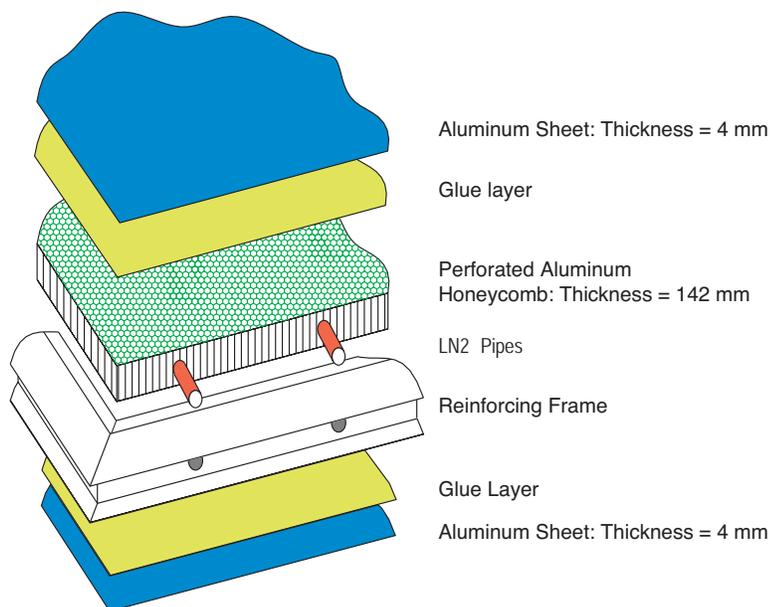


Figura 2.5: Struttura a strati del pannello di alluminio del criostato

2.3 Criogenia e sistema di purificazione dell'Argon liquido

Ciascuno dei criostati che costituiscono il T600 è costituito da pannelli con dimensioni di circa $2.0 \times 3.9 \times 3.6 \text{ m}^3$, realizzati da diversi strati come mostrato in figura 2.5. Lo strato centrale è una struttura di alluminio a nido d'ape di spessore pari a 150 mm nella quale passano i tubi del sistema di raffreddamento a Azoto liquido (LN_2).

Come già detto, tutte le aperture per permettere il passaggio dei cavi per l'acquisizione dati e per tutti i servizi si trovano sul tetto del contenitore. Per ogni T300 ci sono 36 aperture attraverso le quali passano i cavi di 576 fili a $\pm 60^\circ$. Quattro aperture supplementari si trovano agli angoli e permettono il passaggio dei cavi per i fili del piano d'Induzione I e per l'ultimo gruppo di fili a $\pm 60^\circ$, ovvero quelli la cui lunghezza dei fili diminuisce (vedi par.2.4).

Abbiamo già sottolineato che un requisito fondamentale per il corretto ed efficiente funzionamento del rivelatore è l'elevato livello di purezza dell'Argon che deve corrispondere ad un livello di impurità elettronegative minore di 0.1 ppb (parti per 10^9) O_2 equivalenti. Questo livello di purezza garantisce

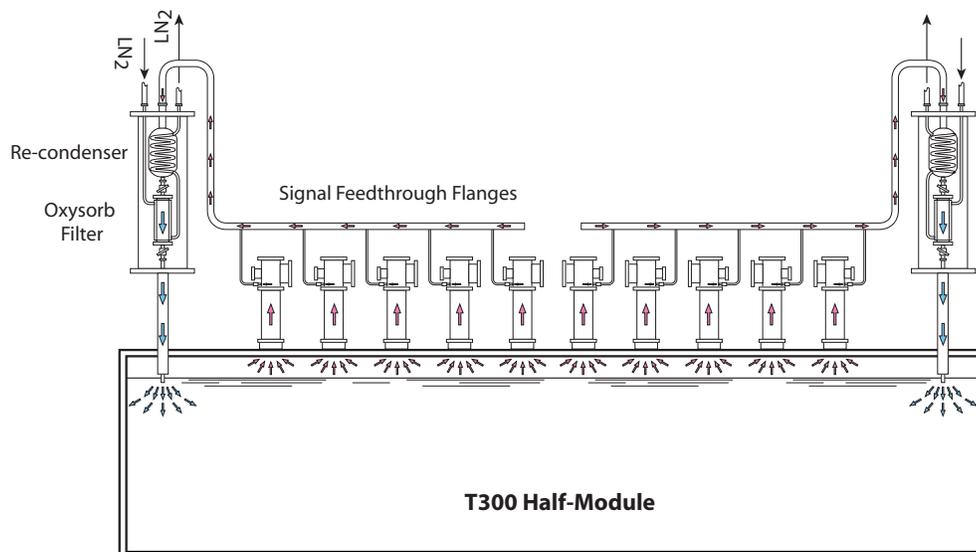


Figura 2.6: Schema del ricircolo del GAR nel T300

che gli elettroni ionizzati abbiano un percorso di deriva sufficientemente lungo e quindi di un'adeguata vita media.

A questo scopo ogni criostato è dotato di due sistemi di ricircolo dell'Argon: uno per lo stato gassoso e uno per quello liquido. La purificazione viene eseguita, in entrambi i casi, da filtri Oxy-Hydrosorb con capacità di assorbimento di O_2 dimensionata per permettere la purificazione partendo dal LAr comunemente in commercio (concentrazione di H_2O e di O_2 di circa 0.5 ppm).

Lo scopo del sistema di ricircolo del gas è di purificare le impurità che potrebbero entrare nel rivelatore da qualche fessura superiore o dal gas che i cavi di read-out possono generare al contatto con il volume liquido. L'unità di ricircolo è stata progettata per restare continuamente in funzione durante la presa dati ed è realizzata come in figura 2.6. Due unità di ricircolo raccolgono il gas dalle condotte che ospitano le flange per il read-out. Da qui il gas entra nel ricondensatore nel quale passa il circuito di Azoto liquido, poi entra nel filtro ed è di nuovo iniettato nel criostato.

Il sistema di ricircolo dell'Argon liquido inizia l'opera di purificazione subito dopo il riempimento del rivelatore. Come mostrato in figura 2.7 l'unità di ricircolo del liquido consiste nella pompa criogenica sommersa di trasferi-

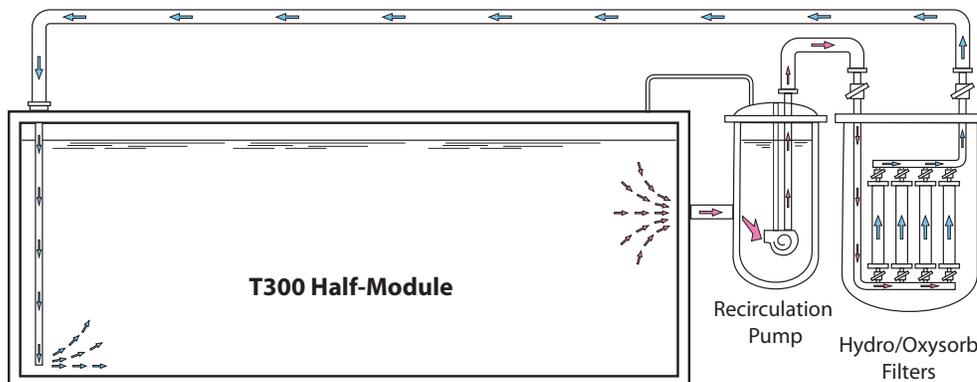


Figura 2.7: Schema del ricircolo del LAr nel T300

mento collocata in un apposito serbatoio al di fuori del rivelatore. La pompa spinge il liquido attraverso i filtri di depurazione che si trovano in un altro serbatoio e il liquido così purificato ritorna indietro e rientra nel criostato in basso dal lato opposto, in modo da massimizzare l'efficienza del ricircolo. Entrambi i sistemi di depurazione non inducono alcun rumore elettronico sui fili anodici, per cui il sistema può funzionare durante la presa dati.

Un'altra esigenza fondamentale è quella che il gradiente di temperatura all'interno del criostato sia minore di $1\text{ }^{\circ}\text{C}$ in modo che sia costante la mobilità elettronica μ_e nel LAr.

Il criostato viene raffreddato facendo circolare nel circuito di raffreddamento Azoto liquido (LN_2) alla pressione di 2.7 bar e alla temperatura nominale di $89\text{ }^{\circ}\text{K}$ ed è isolato termicamente dall'esterno tramite un materiale a nido d'ape chiamato *Nomex*, un tipo di carta pre-imbevuta di una resina in modo da renderla non infiammabile.

2.4 I rivelatori interni

Per garantire che la struttura interna del rivelatore non inquina con impurità radioattive il volume di Argon, i materiali che la compongono sono di acciaio inossidabile *AISI 304L* o di *Peek*, un materiale plastico avanzato che garantisce adeguate proprietà meccaniche a bassa temperatura. Di acciaio è infatti la struttura che forma lo scheletro delle camere a fili che ha dimensio-

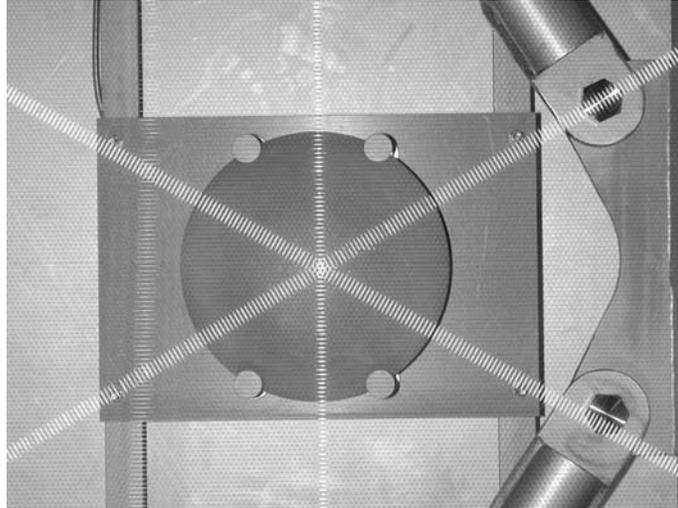


Figura 2.8: Foto dei tre piani di fili con dietro un fotomoltiplicatore

ni 19.6 m di lunghezza, 3.6 m di larghezza e 3.9 m di altezza. Essa poggia su otto piedi regolabili indipendentemente l'uno dall'altro. In questo modo la struttura è praticamente indipendente dalle deformazioni del criostato indotte dalla bassa temperatura, dal vuoto o dalla pressurizzazione.

Il telaio di sostegno dei fili anodici è elastico in modo da ridurre su questi ultimi lo stress termico dovuto alla fase di raffreddamento. Inoltre, tre tiranti sono sistemati ogni 2 m in modo da mantenere costante la tensione meccanica sui fili. I fili anodici sono anch'essi di acciaio inossidabile e hanno un diametro di 0.15 mm. Sono agganciati al pettine di sostegno per mezzo di un nodo intorno a una piccola boccola ad ogni terminazione: in questo modo una tenuta molto sicura è garantita dall'attrito del filo con se stesso.

Come detto, ci sono 3 piani di fili anodici distanziati di 3 mm (figura 2.8). Il primo, chiamato Induzione I, è costituito da fili orizzontali lunghi ognuno 9.40 m; gli altri due (Induzione II e Collezione) sono composti da fili a $\pm 60^\circ$ e sono lunghi 3.77 m. Negli angoli, ovviamente, la lunghezza dei fili di quest'ultimi due piani dovrà progressivamente diminuire dai 3.77 m iniziali fino a 0.49 m. Per garantire il potenziale desiderato, nelle parti rimanenti dei piani di Collezione ed di Induzione II non coperte da fili, sono installati dei triangoli di acciaio inossidabile. Infine, il pettine di sostegno, realizzato in Peek, sostiene 32 fili con un passo di 3 mm. Per ogni 2 m del sostegno

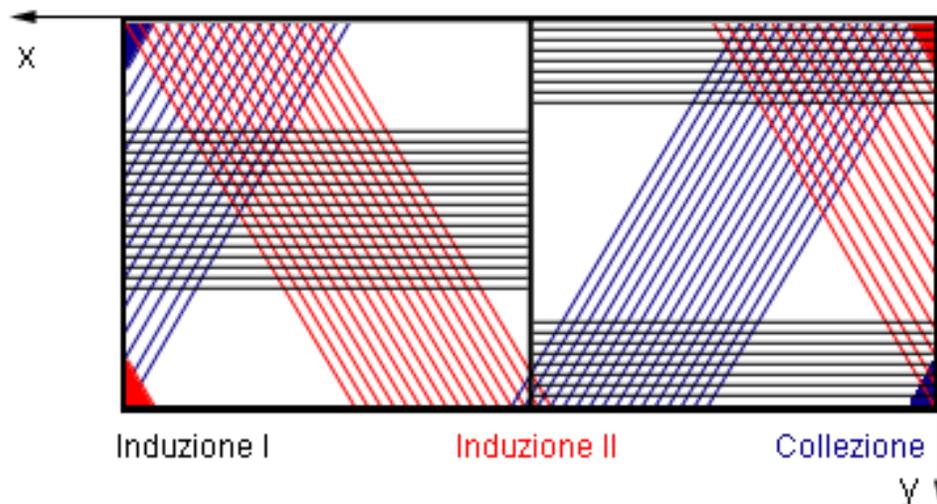


Figura 2.9: Schema geometrico dei tre piani di fili di una della camere del T600. In nero sono mostrati i fili del piano di Induzione I, in rosso i fili del piano di Induzione II e in blu quelli del piano di Collezione. La riproduzione della vista $z = 0$ del rivelatore non è in scala.

ci sono 18×2 pettini. Maggiori dettagli sulla struttura delle camere a fili e sulla geometria dei rivelatori sono forniti nel capitolo 3.

Nella tabella 2.1 sono riassunte tutte le caratteristiche delle camere e dei fili del T600.

All'interno del criostato sono presenti anche dei rivelatori la luce di scintillazione. Infatti, le particelle cariche che attraversano il volume riempito di Argon liquido non solo creano ionizzazioni ma eccitano lo stato molecolare di Ar che produce radiazione elettromagnetica nei processi di diseccitazione. In breve, la scintillazione in LAr è caratterizzata da un'emissione quasi immediata di fotoni nello spettro VUV con lunghezza d'onda $\lambda = 128$ nm che possono essere rivelati da un fotomoltiplicatore dando così una misura del tempo assoluto e un possibile trigger per gli eventi.

Sono stati usati fotomoltiplicatori (PMT) 9357FLA Electron Tubes di grande superficie. Questi hanno 12 dinodi e una finestra emisferica di vetro di diametro di circa 200 mm (8") e sono particolarmente adatti a lavorare a temperature criogeniche.

In tabella 2.2 sono riassunti i parametri caratteristici di questi fotomol-

| | |
|--|-------------------------|
| Numero delle camere di rivelazione | 4 |
| Numero di piani di fili per camera | 3 |
| Orientazione dei fili nel sistema relativo | $0^\circ, \pm 60^\circ$ |
| Distanza tra i fili dello stesso piano | 3 mm |
| Lunghezza dei fili | |
| fili orizzontali | 9.40 m |
| fili a $\pm 60^\circ$ | 3.77 m |
| fili ai bordi ($\pm 60^\circ$) | $0.49 \div 3.77$ m |
| Diametro dei fili | 150 μm |
| Tensione meccanica nominale | 12 N |
| Numero di fili per scheda di read-out | 32 |
| Numero di schede di read-out per camera | |
| fili orizzontali | 66 |
| fili a $\pm 60^\circ$ | 2×145 |
| fili ai bordi ($\pm 60^\circ$) | 2×30 |
| Numero di fili per camera | |
| fili orizzontali | 2112 |
| fili a $\pm 60^\circ$ | 2×4640 |
| fili ai bordi ($\pm 60^\circ$) | 2×960 |
| Totale | 13312 |
| Numero totale di fili | 53248 |
| Lunghezza massima di drift | 1.5 m |
| Tempo massimo di drift a 0.5 kV/cm | 1.0 ms |
| Distanza tra gli elettrodi di campo | 50 mm |
| Numero degli elettrodi di campo per camera | 58 |
| Volume sensibile per camera | |
| profondità | 17.95 m |
| larghezza | 1.5 m |
| altezza | 3.16 m |
| Volume | 85 m ³ |
| Massa sensibile di LAr totale | 476 ton |

Tabella 2.1: Caratteristiche principali del modulo di rivelazione da 600 ton (T600)

| | |
|---------------------------|-----------------|
| Lunghezza | 293 mm |
| Diametro | 203 mm |
| Grandezza del catodo | 190 mm |
| Spettro | 300 ÷ 500 nm |
| Dinodi | 12 LF CsSb |
| SER p/v | 2 |
| Temo di salita e FWHM | 5 nm; 8 ns |
| Amplificazione massima | 5×10^7 |
| Tensione di alimentazione | 1200 V |

Tabella 2.2: Caratteristiche fisiche ed elettriche dei fotomoltiplicatori PMT 9357FLA

tiplicatori. Essi sono posizionati 5 mm dietro il piano anodico di Collezione mentre la loro posizione all'interno del rivelatore è stata definita dalle simulazioni, tenendo ovviamente presente le loro dimensioni fisiche, l'efficienza di rivelazione dei fotoni, e la necessità di rivelare eventi di bassa energia (~ 5 MeV) con la massima efficienza possibile.

Il primo T300 costruito è dotato di 20 fotomoltiplicatori disposti come in figura 2.10: la camera sinistra è dotata di 9 PMT equispazianti lungo la dimensione maggiore del piano anodico e al centro della dimensione minore; nella camera destra, oltre ai nove disposti come in precedenza ne sono stati aggiunti 2 agli estremi della perpendicolare passante per il centro della dimensione maggiore del piano. Nel secondo T300 ne sono stati montati 54, 27 per camera, equidistanziati su tre file, situate agli estremi e al centro della dimensione minore, e lungo la dimensione maggiore del piano anodico. Mentre i fotomoltiplicatori delle due file estremali sono montati in corrispondenza, quelli della fila centrale sono sfalsati in modo che ogni fotomoltiplicatore si trovi in corrispondenza del punto medio della distanza tra due PMT delle altre due file.

Altri sistemi ausiliari di monitoraggio e controllo di vari apparati del rivelatore sono: il sistema di alta tensione, il sistema di monitoraggio della purezza dell'Argon liquido e il sistema di *slow control*. Una descrizione di

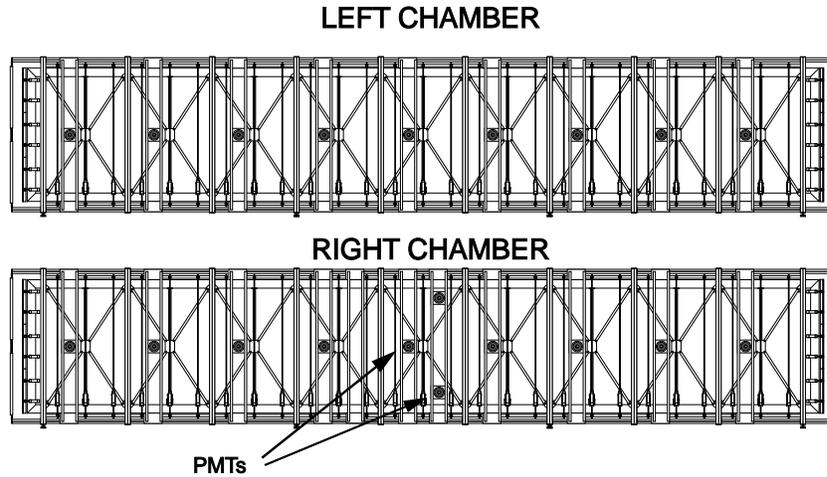


Figura 2.10: Disposizione dei 20 fotomoltiplicatori nelle 2 camere nel primo T300 costruito

questi apparati è fornita nella referenza [17].

2.5 L'elettronica di *read-out*

L'elettronica di acquisizione dei segnali provenienti dai fili e dai fotomoltiplicatori è stata progettata per rendere il rivelatore continuamente sensibile, riducendo al minimo il tempo morto di acquisizione. Dato il cospicuo numero di canali (53248) e il grande volume sensibile, la continua registrazione dei segnali produce una notevole mole di dati (dell'ordine di 250 GB/s) da trasferire, immagazzinare ed analizzare.

Per questo motivo l'elettronica di acquisizione è dotata di un meccanismo di riduzione *on-line* dei dati implementato in un chip VLSI chiamato DAEDALUS [18]. Questo esegue su ogni singolo canale di acquisizione delle determinate operazioni secondo un algoritmo di soppressione degli zeri, in modo da diminuire il rumore, e un algoritmo di *hit-finding* in modo da memorizzare soltanto segnali provenienti da eventi in una finestra temporale programmabile da $\sim 25 \mu\text{s}$ fino a $\sim 1.6 \text{ ms}$, ovvero maggiore del massimo tempo di deriva degli elettroni. Le informazioni provenienti dalle valutazioni del DAEDALUS risultano molto importanti per l'analisi dei dati *off-line* ma la sua capacità di selezione del segnale si attesta intorno

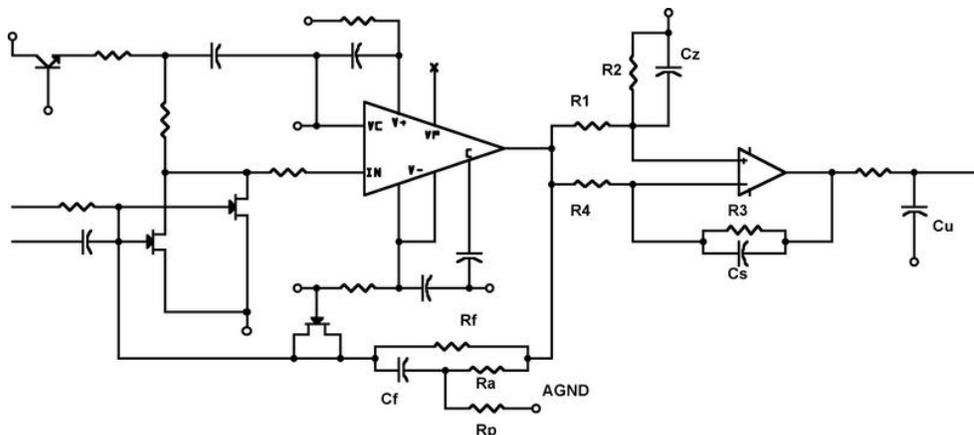


Figura 2.11: Schema dello stadio di amplificazione montato sulla scheda CAEN-V791

all'80%, ovvero non è possibile usare questo chip per generare un segnale di trigger che possa consistentemente ridurre i dati da registrare perdendo il minor numero di eventi. Come verrà analizzato nei dettagli nel capitolo 3, la soluzione di questo problema è uno degli obiettivi principali del sistema di trigger disegnato.

L'elettronica di front-end usa crate di due tipi: il primo contiene nella parte posteriore le schede di disaccoppiamento (A764) e nella parte anteriore quelle di amplificazione e digitalizzazione dei segnali (V791). Ogni crate contiene anche una scheda di *slow control* (V793) che distribuisce i segnali di test, il segnale di clock e imposta le tensioni. Il secondo è un crate VME, alloggia 18 schede, chiamate "ARIANNA" (V789), per l'analisi e la memorizzazione dei segnali sulle quali sono montati due chip DAEDALUS. Inoltre contiene una scheda di sincronizzazione e distribuzione del trigger (V816) e il processore (MVME2100) per il controllo e l'acquisizione dati. In particolare il processore imposta tutti i parametri della V789.

La scheda A764 riceve i segnali da 32 fili e, tramite una capacità di disaccoppiamento del valore di 4.7 nF (molto più grande della capacità di ingresso che è di ~ 400 pF), li trasmette alla V791. Quest'ultima per ogni canale ha uno stadio di pre-amplificazione mostrato in figura 2.11. Si tratta di un integratore con costante di tempo di *feedback* $\tau_f = R_f C_f$, seguito da un circuito che attenua il rumore a bassa frequenza con costante di tempo

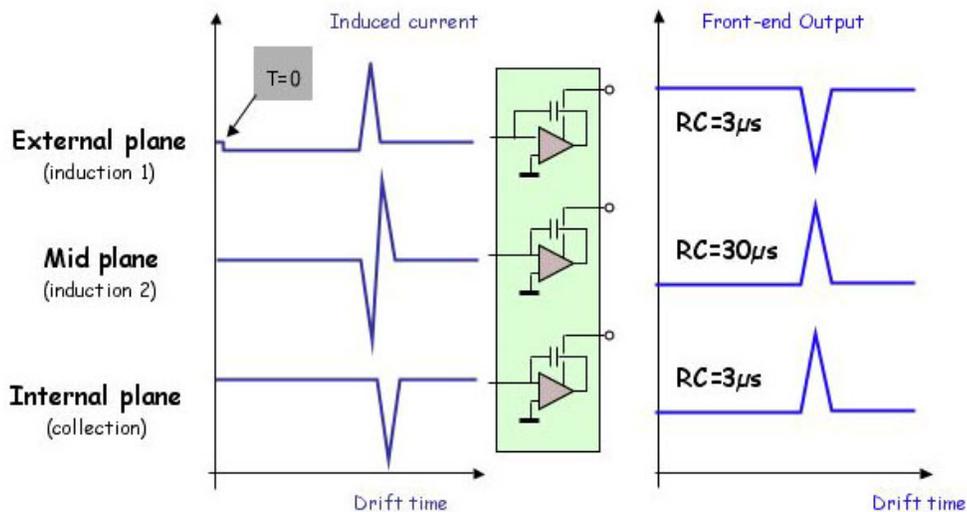


Figura 2.12: Schema dei segnali provenienti dai tre piani anodici e di come vengono formati prima di essere digitalizzati

$\tau_r = (R_1 || R_2)C_z$ che stabilizza la *base-line* del segnale.

La V791 è stata prodotta in tre versioni differenti [19]: di tipo C per la lettura dei fili provenienti dal piano di Collezione e di Induzione I; di tipo Q per la lettura dei fili del piano di Induzione II; di tipo PM per la lettura dei fotomoltiplicatori. Le differenze nascono dal fatto che i segnali da trattare sono diversi come si può vedere dalla figura 2.12: la V791C tratta segnali che possono essere considerati unipolari e quindi si è fissata la costante di tempo di feedback ($\tau_f \simeq 3 \mu s$) in modo che sia piccola rispetto alla grandezza tipica del segnale. La V791Q, viceversa, dovendo integrare segnali bipolari, per avere in uscita un segnale simile agli altri due piani deve, quindi, avere una costante di tempo ($\tau_f \simeq 30 \mu s$) lunga rispetto ai segnali da integrare [20]. In entrambi i casi, dopo l'integrazione, i segnali vengono sommati e portati in uscita e, in parallelo a questa operazione, attraverso un multiplexer a 16 ingressi, digitalizzati al ritmo di uno ogni 400 ns da un Flash ADC a 10 bit e inviati all'ARIANNA tramite link seriale (21 bit) a 40 MHz. Per quanto riguarda la V791PM, la differenza sostanziale con quelle descritte in precedenza, è che il segnale proveniente dai fotomoltiplicatori, essendo molto più veloce dei segnali dei fili, viene campionato ogni 50 ns. I segnali risultanti

dalla somma analogica di 32 fili operata dalle V791 costituiscono gli ingressi della scheda di trigger di primo livello come si vedrà nel paragrafo 3.5.

Come detto, i segnali digitalizzati vengono inviati serialmente alla V789 che provvede a dividerli in due gruppi ed a memorizzare un canale alla volta in buffer circolari che utilizzano una delle due RAM a disposizione. La lunghezza dei buffer può essere programmata da remoto da un minimo di 64 campionamenti ($\sim 25 \mu s$) fino a 4096 campionamenti ($\sim 1.6 ms$). In parallelo alla memorizzazione i dati vengono processati dal DAEDALUS [21]. Quando una condizione di trigger è verificata, ovvero arriva un segnale di trigger dalla scheda V816 oppure è verificata la condizione di hit-finding del DAEDALUS, il buffer viene congelato e l'indirizzo in cui si trovano i dati viene memorizzato in una FIFO insieme alle informazioni sulla tipologia di trigger ricevuto, sul canale memorizzato e il tempo assoluto in cui è avvenuta la memorizzazione. La memorizzazione procede su un buffer circolare libero della seconda RAM fino al verificarsi di un nuovo trigger. In questo modo è possibile scaricare i dati memorizzati senza dover interrompere l'acquisizione e quindi senza introdurre tempo morto, almeno fino a quando le due RAM non si saranno riempite.

L'algoritmo di hit-finding eseguito dal DAEDALUS è il seguente: per identificare il fronte di salita il chip valuta le differenze tra due successivi campionamenti all'interno di una finestra temporale di ampiezza fissa. Le differenze positive sono sommate mentre quelle negative e le nulle sono contate. Un "hit" è individuato quando, per una data finestra temporale, le somme positive sono al di sopra di una soglia fissata e contemporaneamente i conteggi delle differenze nulle e di quelle negative sono al di sotto delle loro rispettive soglie. La fine del fronte di salita è riconosciuto quando sono verificate le seguenti due condizioni: le somme positive sono sotto una data soglia e i due contatori sono al di sopra delle loro rispettive soglie. Tutti i parametri della ricerca dell'hit sono impostati da remoto.

Attualmente sono in studio varie modifiche della logica digitale di controllo delle operazioni dell'ARIANNA contenuta nelle FPGA presenti sulla scheda. Per ridurre le false rivelazioni degli hit da parte del DAEDALUS, è stata modificata la finestra temporale in cui si cerca il fronte di salita del

segnale riducendo l'inefficienza del chip del 10% circa. Si è anche studiato un modo per ridurre la quantità di dati da memorizzare nei buffer al verificarsi di un trigger. L'ARIANNA conserva nei buffer, per ogni campionamento, 16 bit: 10 bit sono riservati al valore del campione mentre i rimanenti 6 sono riservati alle valutazioni del DAEDALUS. Ora, invece di registrare 16 bit per ogni campionamento, si registrano le differenze tra due campionamenti che per la quasi totalità dei casi risulta un valore esprimibile in 4 bit. Nel caso si verifichi un *overflow*, ovvero la differenza non sia codificabile in 4 bit, verrà memorizzata la differenza col numero di bit necessari e una flag per indicare la natura del dato. In questo modo si attua una compressione di un fattore quattro dei dati nel caso migliore, mentre, nel caso peggiore la mole dei dati resterà invariata.

Capitolo 3

Il sistema di trigger

Come già evidenziato precedentemente nella descrizione dell'elettronica di acquisizione (paragrafo 2.5), l'elevato numero di canali e l'alta frequenza di campionamento produce una mole di dati da registrare dell'ordine delle centinaia di TB per anno, che non è possibile ridurre basandosi sulle valutazioni del chip DAEDALUS, visto che la sua efficienza di classificare gli eventi si attesta tra l'80% e il 90%. Inoltre, la struttura del sistema di acquisizione, come vedremo, supporta un flusso massimo di dati di $\sim 2 \div 4$ MB/s per crate introducendo un tempo morto troppo elevato per una efficiente rivelazione degli eventi provenienti da una esplosione di una supernova.

Come vedremo nel corso del capitolo, tutto questo ha spinto all'introduzione nel sistema di rivelazione di un trigger elettronico che fosse capace, sfruttando le risorse già esistenti, di diminuire il flusso dati da analizzare con una efficienza elevata e che abbia due proprietà fondamentali: la prima è che il sistema sia capace di riconoscere gli eventi rari; la seconda proprietà è la segmentazione, ovvero che sia capace di localizzare l'evento all'interno del rivelatore, in modo da permettere al sistema di acquisizione di scaricare i dati solo delle zone interessate. Infine bisogna sottolineare che, dato il principio di funzionamento del rivelatore e dell'elettronica di acquisizione, il segnale di trigger da generare non rappresenta il segnale di "start" dell'acquisizione ma lo "stop", ovvero è il segnale di validazione del dato precedentemente registrato nei buffer di front-end.

3.1 Il sistema di acquisizione dei dati

Il sistema di acquisizione dei dati si occupa di trasferire i dati registrati dall'elettronica di read-out nei propri buffer e di ricostruire gli eventi in modo che gli stessi possano poi essere analizzati *off-line* [17]. Se però la velocità con cui vengono svuotati i buffers risulta inferiore a quella con cui questi si riempiono, il DAQ introduce *tempo morto di acquisizione*, ovvero il rivelatore, una volta acquisita una quantità di eventi tale da riempire tutto lo spazio disponibile, non può immagazzinare nuovi dati risultando cieco per tutto il tempo impiegato per liberare una locazione di memoria.

Come detto nel paragrafo 2.5, ogni crate è dotato di un processore che raccoglie i dati dalle schede di acquisizione tramite il bus VME e li trasferisce tramite un link Fast ETHERNET con una velocità pari a $\sim 2 \div 4$ MB/s. La dimensione totale di ogni buffer è, come spiegato sempre nel capitolo precedente, fissata a 8192 campionamenti¹ per canale e quindi permette la memorizzazione di due completi eventi di drift. Infatti, 2500 campionamenti corrispondono all'acquisizione di 1.0 ms che è circa uguale al tempo che un elettrone impiega a coprire l'intera distanza catodo-anodo.

Si può ricavare la dimensione massima D in Byte di ogni evento per ciascuno dei 96 crate che alloggiavano l'elettronica mediante semplici considerazioni. Chiamati N_c il numero dei canali digitalizzati per scheda, N_b il numero di schede per crate, N_s il numero di campionamenti per canale e N_d il numero di Byte per campionamento si ha che:

$$D = N_b N_c N_s N_d \quad (3.1)$$

ed essendo $N_b = 18$, $N_c = 32$, $N_s = 2500$ e $N_d = 2$ si ricava $D \simeq 2.88$ MB. Questo ovviamente vuol dire che se la frequenza di eventi per crate al secondo risulta maggiore di 2, il sistema di acquisizione non è in grado di garantire la presenza di almeno un buffer libero. Questo limite può essere migliorato, come detto, implementando opportuni algoritmi di compressione dei dati in ciascuna delle schede di digitalizzazione "ARIANNA". Quando il DAQ

¹Ogni canale ha a disposizione, come detto, uno spazio pari a 4096 campionamenti in ognuno dei due chip di memoria RAM.

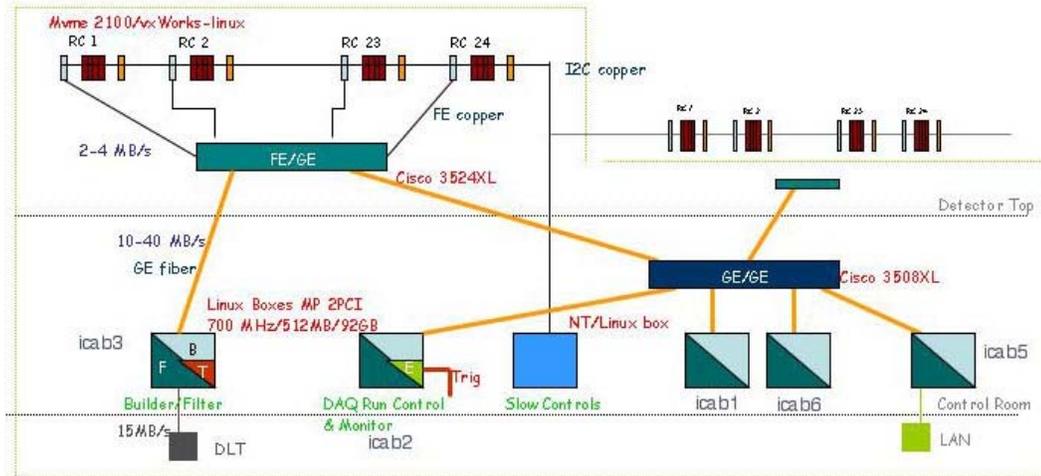


Figura 3.1: Schema dell'architettura del sistema di acquisizione dati

introduce tempo morto di acquisizione si dirà che il sistema si trova in uno stato di “*busy*” che si dirà *globale* se interessa l'intero rivelatore, *locale* se invece interessa solo alcuni crate.

L'intero sistema del DAQ è guidato dal *DAQ Run Control* al quale farà capo anche il sistema di trigger.

3.2 Segmentazione e selettività

Il rivelatore ICARUS risulta sensibile ad un'ampia tipologia di eventi di neutrino ognuno dei quali è caratterizzato da una differente energia rilasciata.

Le interazioni di neutrino che saranno prese in esame in questo lavoro possono essere suddivise in tre tipologie: quelle provocate dai neutrini solari, quelle da neutrini atmosferici e quelle generate da neutrini la cui origine è relazionabile ad esplosioni di supernovae. A questi vanno poi aggiunti gli eventi di fondo ovvero quelli causati da neutroni dovuti alla radioattività delle rocce che circondano i laboratori sotterranei e dello stesso materiale che costituisce la struttura del rivelatore: per i primi si attende un *rate* di eventi pari a $2 \times 10^{-4} \text{ s}^{-1}$, per i secondi invece un *rate* pari a $0.03 \div 0.1 \text{ s}^{-1}$ [22].

Gli eventi di neutrini atmosferici risultano di energia sufficientemente più elevata degli eventi di fondo per cui risulta relativamente semplice distinguer-

| Tipologia | eventi/anno |
|-----------------------|--------------------|
| Neutrini solari | 1.00×10^3 |
| Cattura neutronica | 6.00×10^6 |
| Muoni atmosferici | 2.00×10^6 |
| Radiattività naturale | 1.00×10^5 |
| Neutrini atmosferici | 2.00×10^2 |
| Neutrini da supernova | 2.00×10^2 |

Tabella 3.1: Ordine di grandezza degli eventi attesi all'anno per il rivelatore ICARUS T600 per ciascuna tipologia. Per i neutrini da supernova ci si riferisce al numero di interazioni nel caso del verificarsi di tale evento raro.

li. Il contrario accade invece per gli eventi prodotti da neutrini di supernova e solari la cui energia, dell'ordine di qualche decina di MeV, risulta comparabile al fondo.

Gli eventi da supernova, però hanno una caratterizzazione sperimentale peculiare ben definita: i neutrini arrivano in “*burst*”, ossia si verificano centinaia d'interazioni (~ 200) in circa 10 s con diverse decine nel primo secondo distribuite in tutto il volume sensibile². Inoltre, come detto nel paragrafo precedente, il sistema di acquisizione impone lo stato di *busy* al sistema ogni qual volta la frequenza di eventi risulta superiore ad 2 Hz. Da queste due considerazioni si può capire che, acquisendo tutti i canali del rivelatore nel caso di eventi da supernova il tempo morto introdotto dall'acquisizione, che è dell'ordine di circa 1 s, limiterebbe il numero di eventi acquisibili a quelli che possono essere memorizzati nelle schede di front-end (ossia 2) anche nelle zone non interessate in un primo momento.

Un modo per migliorare l'acquisizione degli eventi rari, quindi, è quello di non acquisire indiscriminatamente tutti i 53248 canali ma di distribuire il segnale di trigger, quando possibile, unicamente alle schede interessate dall'evento. Per fare ciò bisogna definire una segmentazione delle zone sensibili del rivelatore in modo che il sistema di trigger possa monitorare indipen-

²Il numero di eventi è calcolato nel caso di una supernova di tipo II che rilasci 3×10^{53} erg a una distanza di 10 kpc.

dentemente ogni singola unità elementare alla quale nel seguito ci riferiremo come pixel.

La segmentazione può contribuire anche a ridurre la mole di dati da registrare ed analizzare. Infatti, se ogni segnale di trigger generato dalla presenza di una traccia nel rivelatore avesse come effetto l'acquisizione di tutti i fili, facendo riferimento alla tabella 3.1, si vede che per i soli eventi da neutrini solari, ad esempio, si avrebbe in un anno una mole di dati da analizzare pari a 828 GB nell'ipotesi di non avere mai acquisito eventi di fondo.

Studiando quindi l'attività e l'occupazione del rivelatore nel tempo è possibile progettare un sistema di trigger selettivo che individui la tipologia di evento che interessa il rivelatore in modo da semplificare la successiva analisi dei dati registrati.

3.3 Definizione del pixel

La scelta dell'unità elementare per il sistema di trigger risulta naturale qualora si valuti come i singoli fili sono cablati nelle varie schede di front-end alloggiati nei crate.

Il rivelatore è diviso, come descritto nel capitolo 2, in due sottomoduli uguali chiamati T300, ognuno dei quali a sua volta è suddiviso in due camere separate dal piano catodico chiamate destra e sinistra. Come si vede dalla figura 3.2, ogni camera è dotata di 24 crate: in 4 dei quali (indicati in figura con il suffisso H) sono cablati i fili di Induzione I, ovvero fili orizzontali, nei rimanenti 20 sono cablati i fili di Induzione II e Collezione [23].

I crate "H" contengono al loro interno un diverso numero di schede: quelli contrassegnati con i numeri 1 e 4 ne alloggiavano 15, gli altri 18. I fili sono cablati in ordine crescente come si vede nella figura 3.3.

Stessa cosa accade per i crate 1 e 20 comunemente detti "d'angolo" in cui sono alloggiati 15 schede. In esse sono cablati o solo fili a 60° (Collezione) o solo fili a -60° (Induzione II) la cui lunghezza varia progressivamente (vedi figura 3.4). I rimanenti crate (dal 2 al 19) contengono tutti 18 schede: in 9

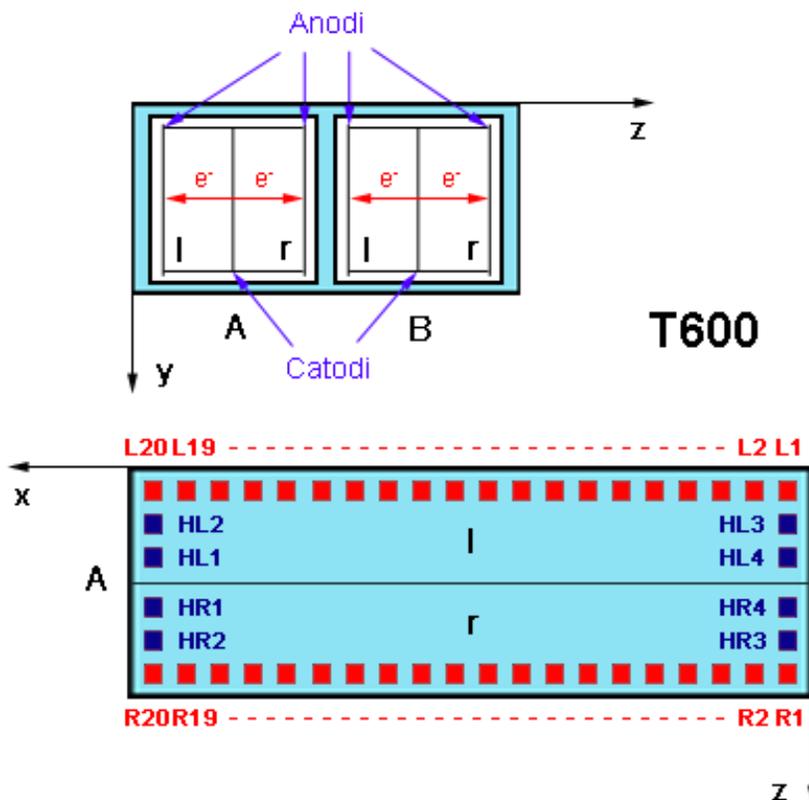


Figura 3.2: Nella figura in alto è mostrata la sezione del T600 col piano $x = 0$. Con **A** e **B** sono indicati i due moduli T300 che compongono il rivelatore ognuno dei quali è diviso in due camere: la sinistra indicata con **l** e la destra con **r**. Nella figura in basso, viceversa, è mostrata la vista del modulo **A** con $y = 0$. Per ogni camera sono indicati in blu i crate “H” in cui sono cablati i fili del piano di Induzione I; in rosso sono indicati i crate in cui sono cablati i fili degli altri due piani. Entrambe le riproduzioni non sono in scala.

sono cablati solo fili di Induzione II e nelle rimanenti 9 solo fili di Collezione, come si evince dalla figura 3.5³.

Questo equivale a dire che ognuno di questi 18 armadi analizza e acquisisce, data la dimensione dei fili e la distanza tra i fili di uno stesso piano (vedi tabella 2.1), due parallelogrammi di dimensioni $\sim 0.86 \text{ m} \times 3.77 \text{ m}$.

Per il sistema di trigger si definisce pixel la sovrapposizione di una striscia di Induzione II e una di Collezione dalla quale si ottiene un rombo di

³A causa dell’esistenza di zone non cablate agli angoli, il crate 2 contiene solo 6 schede di Induzione II mentre il crate 19 solo 6 schede di Collezione.

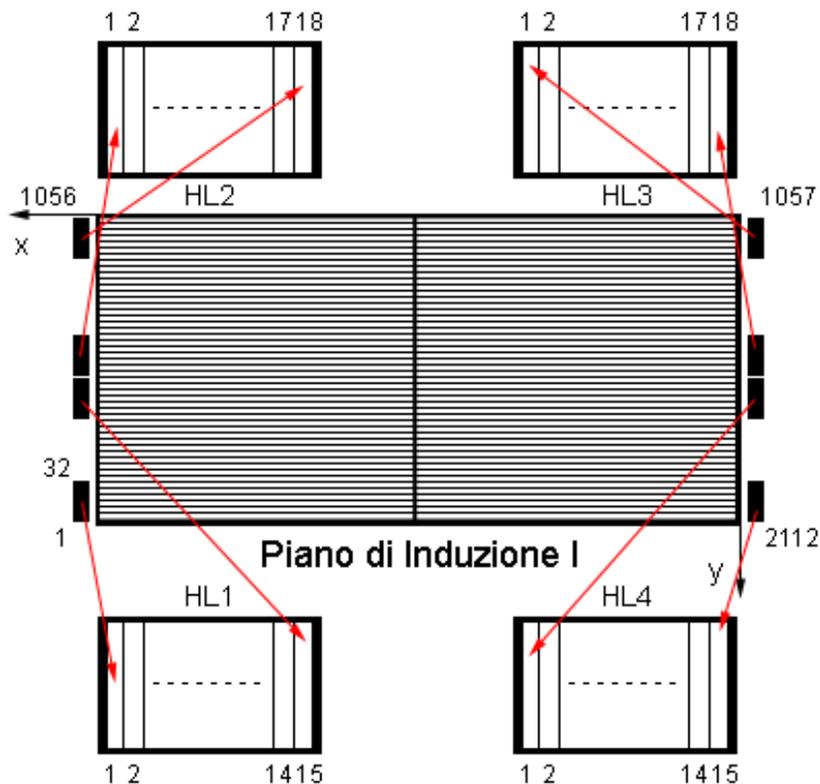


Figura 3.3: Nella figura è mostrato il piano anodico di Induzione I di una delle camere sinistre e la collocazione delle relative schede di *front-end* nei crate. La riproduzione del piano $z = 0$ del rivelatore non è in scala.

superficie pari a $\sim 0.6 \text{ m}^2$ come mostrato in figura 3.6. Si può ovviamente pensare ad una granularità più elevata definendo il pixel dalla sovrapposizione di strisce con orientazione diversa costituite da un numero di schede inferiore a nove, aumentando quindi il numero di pixel necessario per un ricoprimento completo dell'anodo: ad esempio, nel caso di sovrapposizione di 9 schede otteniamo un ricoprimento completo con 80 pixel, nel caso di 3 schede con 430 pixel e nel caso di 1 scheda con 3780 pixel. Quest'ultimo caso rappresenta la massima granularità ottenibile, in quanto l'unico segnale che l'elettronica di acquisizione rende disponibile all'esterno, e che quindi il sistema di trigger può utilizzare per le sue analisi, è, come descritto nel paragrafo 2.5, la somma analogica di 32 fili. Come vedremo, cambiare la dimensione e quindi il numero di pixel non comporta alcuna variazione nella logica di

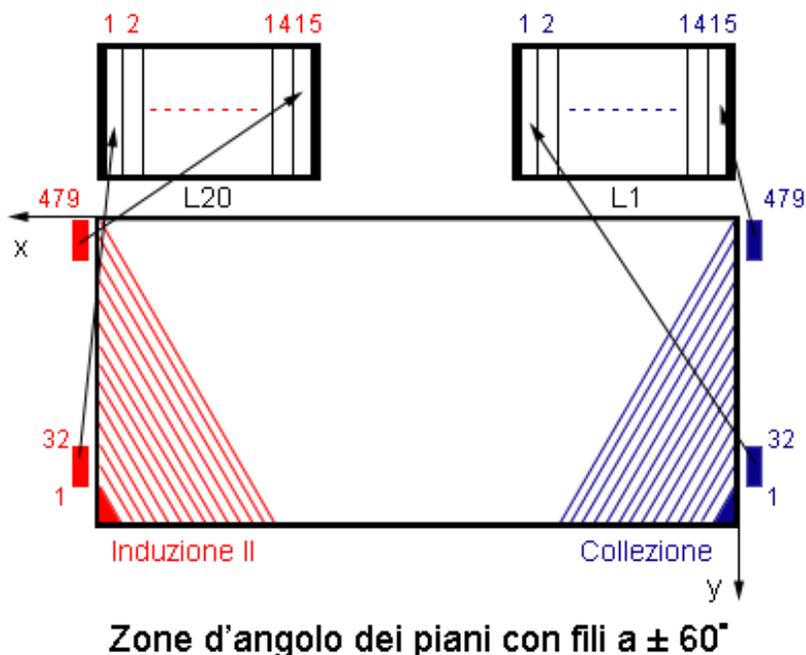


Figura 3.4: Nella figura sono mostrate le zone acquisite dalle schede di *front-end* dai crate “angolari” L1 e L20 per una camera sinistra e la collocazione delle schede nei crate. In rosso è evidenziato il piano anodico di Induzione II mentre in blu quello di Collezione. Le zone colorate agli angoli corrispondono alle zone cieche del rivelatore. La riproduzione del piano $z = 0$ del rivelatore non è in scala.

generazione del segnale di trigger ma risulterà fondamentale nel definire la precisione con cui si individua l’evento nel rivelatore.

Ovviamente, nelle zone d’angolo non c’è alcuna difficoltà nel definire strisce in modo analogo a come fatto in precedenza. Invece, per quello che riguarda i fili di Induzione I le valutazioni da fare sono differenti. Questi sono lunghi più del doppio dei fili appartenenti ai piani a $\pm 60^\circ$ e quindi sottendono una superficie maggiore: nel caso ad esempio di eventi di supernova si calcola che su 5 eventi reali rivelati dalla coincidenza tra i piani a $\pm 60^\circ$ il piano di Induzione I ne riveli più del doppio.

3.4 Trigger globali e trigger locali

Dividendo l’anodo in pixel è quindi possibile individuare in quale regione

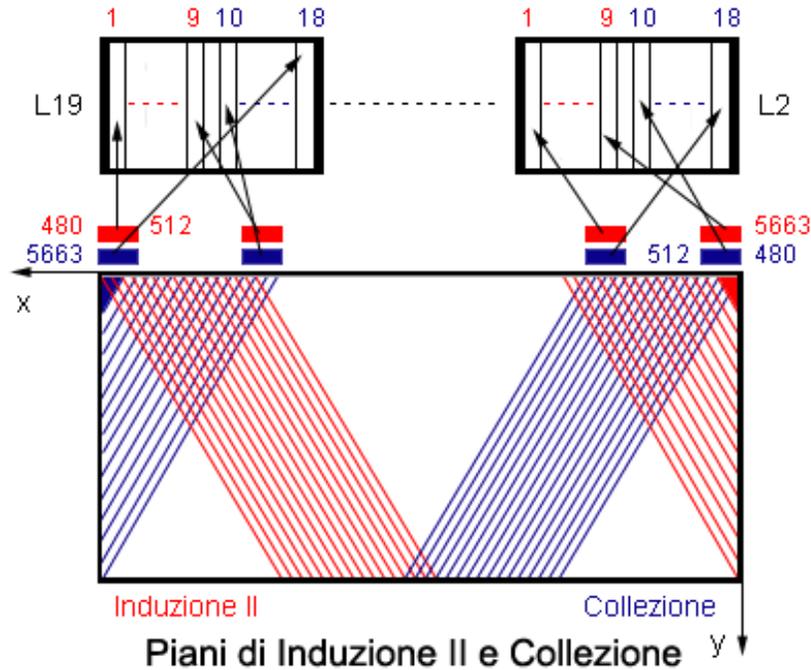


Figura 3.5: Nella figura è mostrata la composizione dei crate da L2 a L19 per una camera sinistra. In rosso è evidenziato il piano anodico di Induzione II mentre in blu quello di Collezione con la rispettiva numerazione dei fili e la collocazione delle schede nei crate. Le zone colorate agli angoli corrispondono alle zone cieche del rivelatore. La riproduzione del piano $z = 0$ del rivelatore non è in scala.

del rivelatore in un dato istante \bar{t} si verifica un evento fisico che abbia energia sufficientemente più elevata del rumore elettronico da essere individuato. Ricordando quanto spiegato nel capitolo 2, il rivelatore è una TPC caratterizzata da un tempo di deriva dell'ordine del millisecondo, quindi in linea di principio, studiando la configurazione dei pixel "accesi" ad istanti successivi a \bar{t} durante il tempo impiegato dagli elettroni per percorrere l'intera distanza di deriva, è possibile dedurre anche la tipologia dell'evento. Questo, come detto, permetterebbe l'acquisizione da parte del DAQ dei soli crate interessati dall'evento e quindi una riduzione dei dati da trasferire, immagazzinare ed analizzare.

Gli eventi di alta energia possono causare tracce secondarie all'interno del rivelatore la cui energia però non è sufficiente ad accendere un pixel ma che possono essere individuate dall'analisi *off-line* dei dati. In questo caso

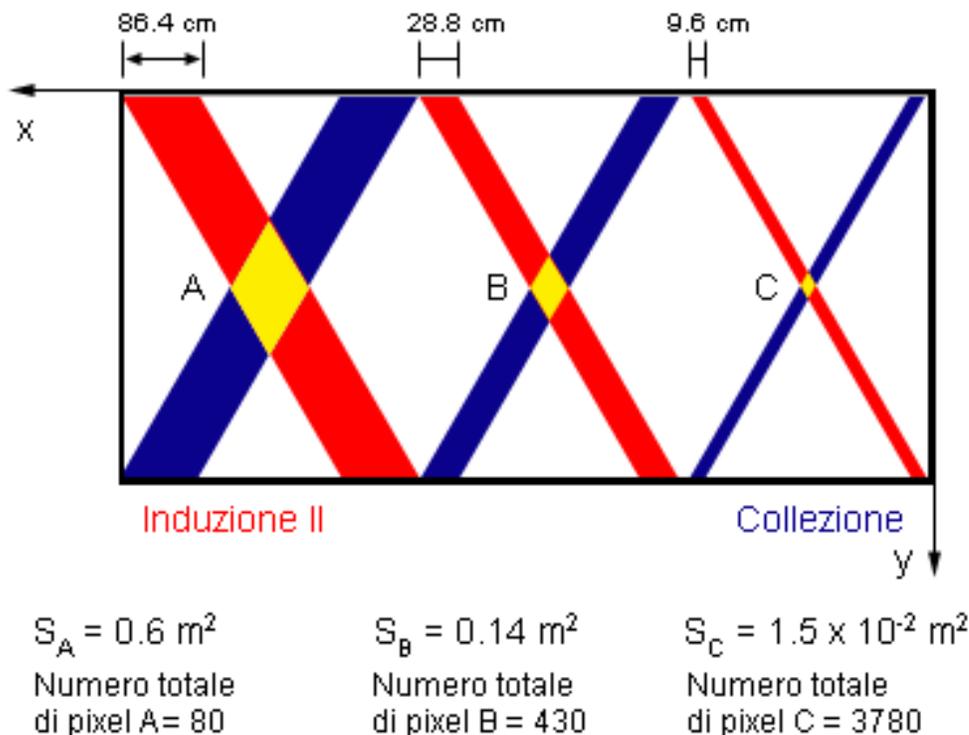


Figura 3.6: Nella figura sono mostrati i pixel che si ottengono per tre diverse segmentazioni: quella ottenuta dall'intersezioni di parallelogrammi la cui base corrisponde alla zona acquisita da nove schede di *front-end* (A), da tre schede (B) e da una scheda (C). In figura sono elencate anche le superfici e il numero totale dei pixel nei vari casi. La riproduzione del piano $z = 0$ del rivelatore non è in scala.

bisognerebbe acquisire tutti i canali del rivelatore per essere sicuri di non perdere tali dati. L'individuazione di queste tracce ad alta energia può avvenire grazie ai fotomoltiplicatori sistemati all'interno del rivelatore (paragrafo ??). Come si evince da studi ancora in corso, una coincidenza temporale e spaziale di due fotomoltiplicatori sarebbe sufficiente ad individuare un evento con le caratteristiche suddette e quindi a generare un segnale di trigger per tali eventi. Questo tipo di trigger è chiamato *trigger globale* e viene distribuito a tutta l'elettronica di acquisizione.

D'altra parte, eventi causati da neutrini originati da supernova, non hanno energia sufficiente per provocare un segnale di scintillazione rivelata da più di un fotomoltiplicatore e quindi la loro rivelazione deve essere comple-

tamente affidata ai piani di fili. Inoltre, le tracce risultanti sono contenute in un'area di $\sim 0.6 \text{ m}^2$, e quindi, se si sceglie un ricoprimento con 80 pixel, in un unico pixel.

In questo caso il segnale di trigger generato è definito *trigger locale* e verrà distribuito ai soli crate interessati dall'evento fisico, o al più ai circostanti nel caso ci sia necessità di definire un volume *fiduciale* attorno al pixel scattato.

3.5 Schema generale del sistema di trigger

Il sistema elettronico di trigger, progettato con il contributo di questo lavoro di tesi, si compone di tre differenti livelli ed è modulare in modo da permetterne in futuro l'espansione con l'ampliamento del rivelatore dal modulo T600 ai successivi due moduli T1200, ciascuno quindi da 1200 tonnellate di Argon liquido. Lo schema generale è rappresentato in figura 3.7 e si riferisce, per semplicità, al caso in cui il numero totale di pixel scelto è pari ad 80. È importante sottolineare che l'organizzazione del sistema di trigger dipende fortemente dalle necessità tecnico-realizzative dei singoli componenti elettronici che sono tutt'ora in fase di studio. Di seguito verrà descritto lo schema di principio elencando le caratteristiche generali che i singoli livelli di logica dovranno avere per dotare il sistema di trigger delle caratteristiche descritte nei paragrafi precedenti.

Il primo livello è rappresentato dalla scheda *Local Trigger Control Unit* che nel seguito verrà indicata con l'acronimo LTCU. Ve ne è una in ciascuno degli 80 crate analogici in cui sono cablati i fili di Induzione II e Collezione e riceve in ingresso 18 somme analogiche dalle schede di front-end V791 che generalmente (in 72 casi su 80) saranno rispettivamente 9 somme di 32 fili del piano di Induzione II e altrettante del piano di Collezione. Ognuno di questi segnali è discriminato in tensione da un comparatore la cui soglia di riferimento è impostata, indipendentemente da quelle degli altri canali, da remoto utilizzando il protocollo RS232. La LTCU fornisce in uscita due proposte di trigger, T_0 e T_1 , ognuna generata dal Fast-OR di 9 ingressi discriminati. Come detto, la realizzazione della Local Trigger Control Unit è

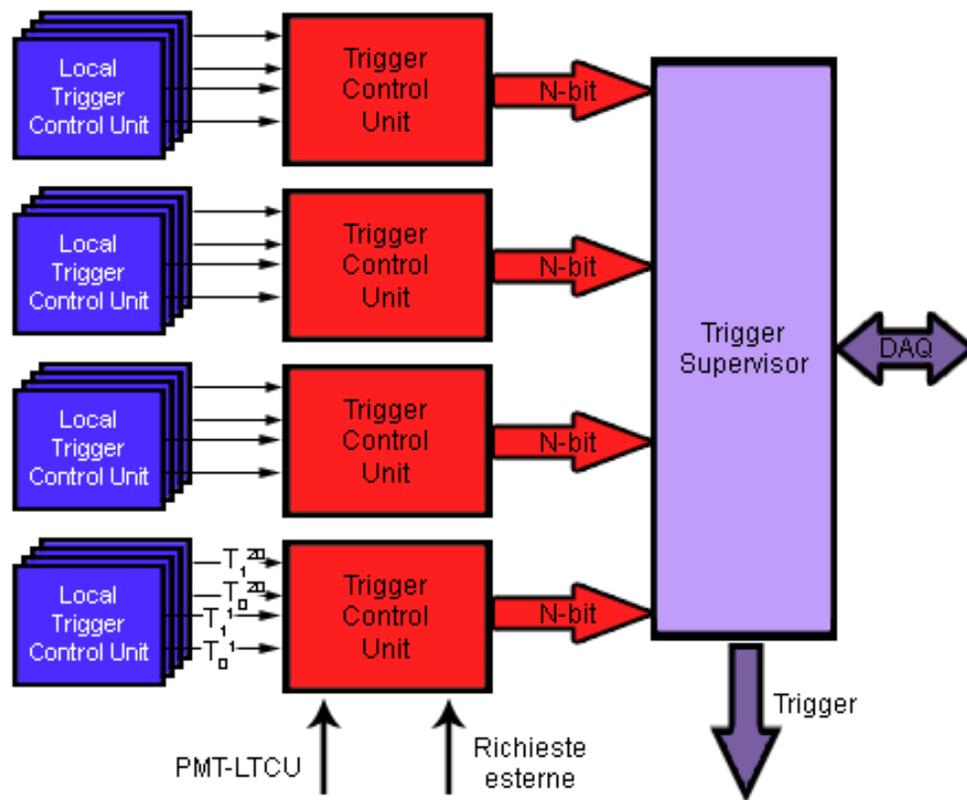


Figura 3.7: Schema generale del sistema di trigger.

uno degli argomenti centrali di questo lavoro di tesi e quindi nel capitolo 4 ne verrà approfonditamente descritto il prototipo.

Il secondo livello di logica è costituito dalla *Trigger Control Unit*. Questo livello processa le proposte di trigger provenienti dalle LTCU in modo da selezionare e localizzare gli eventi. Ognuna delle quattro schede TCU previste riceve 20 coppie T_0 e T_1 provenienti dall'elettronica di primo livello ed individua quali pixel sono accesi nella camera. Per fare ciò la Trigger Control Unit esegue le coincidenze tra le proposte di trigger provenienti dai piani di Induzione II con quelli di Collezione in una finestra temporale di circa $2 \mu\text{s}$, tempo impiegato da un elettrone, che si muove con velocità $\sim 1 \times 10^3 \text{ m s}^{-1}$ (dipendente dal campo elettrico applicato) a coprire la distanza tra i piani di fili pari a 3 mm. Una volta individuati i pixel vengono eseguiti gli algoritmi necessari per individuare e monitorare nel tempo il tipo di attività che inte-

ressa il rivelatore. Questo livello riceve anche le proposte di trigger avanzate dai fotomoltiplicatori e quindi esegue gli algoritmi di coincidenza tra questi per verificare se la richiesta di trigger da avanzare al livello superiore dovrà essere globale o locale. Tale richiesta contiene, oltre alla tipologia di trigger, anche il numero e l'indirizzo dei pixel e dei fotomoltiplicatori accesi e la tipologia di evento individuata. Tutte le funzionalità delle TCU saranno pilotabili da remoto tramite bus VME. Questa scheda è già in fase di studio e verrà descritta con maggiori dettagli nel paragrafo 3.6

Il terzo livello è costituito dal *Trigger Supervisor* che riceverà le richieste di trigger da parte delle quattro TCU. Il suo compito è quello di gestire l'intero sistema di trigger validando o no le richieste a seconda dello stato del DAQ, distribuendo il trigger a tutte le schede V816 dell'elettronica di front-end nel caso di validazione ed eseguendo, inoltre, delle funzioni statistiche tra le quali, ad esempio, il conteggio del numero di trigger validati al secondo, il monitoraggio del sistema, la valutazione del tempo morto.

In figura 3.8 è schematizzato in linee generali l'algoritmo di generazione del segnale di trigger. La LTCU e la PMT-LTCU discriminano i segnali provenienti rispettivamente dai fili e dai fotomoltiplicatori ed avanzano le loro proposte alla TCU la quale le processa in parallelo. La globalità o la località della richiesta dipende dal verificarsi delle condizioni di trigger da parte dei segnali provenienti dalle PMT-LTCU: se al verificarsi dell'accensione di almeno un pixel la TCU non ha registrato alcuna richiesta di trigger globale nel millisecondo precedente, la richiesta avanzata al livello superiore sarà di distribuire un trigger locale. Viceversa, il trigger verrà distribuito a tutti i crate indipendentemente se essi individuano o no un pixel acceso. In entrambi i casi la Trigger Control Unit eseguirà gli algoritmi di studio dei pixel interessati dall'evento per individuarne la natura. Tutte le informazioni raccolte vengono inviate, quindi, al Trigger Supervisor, il quale distribuirà o no il trigger all'elettronica di acquisizione a seconda dello stato del sistema.

Immaginiamo che arrivi la prima richiesta di trigger da parte della TCU dopo un periodo di inattività e che la richiesta sia globale: il trigger verrà distribuito a tutta l'elettronica di front-end che provvederà ad acquisire l'intero millisecondo di drift. Tutte le richieste che seguono questa prima, siano

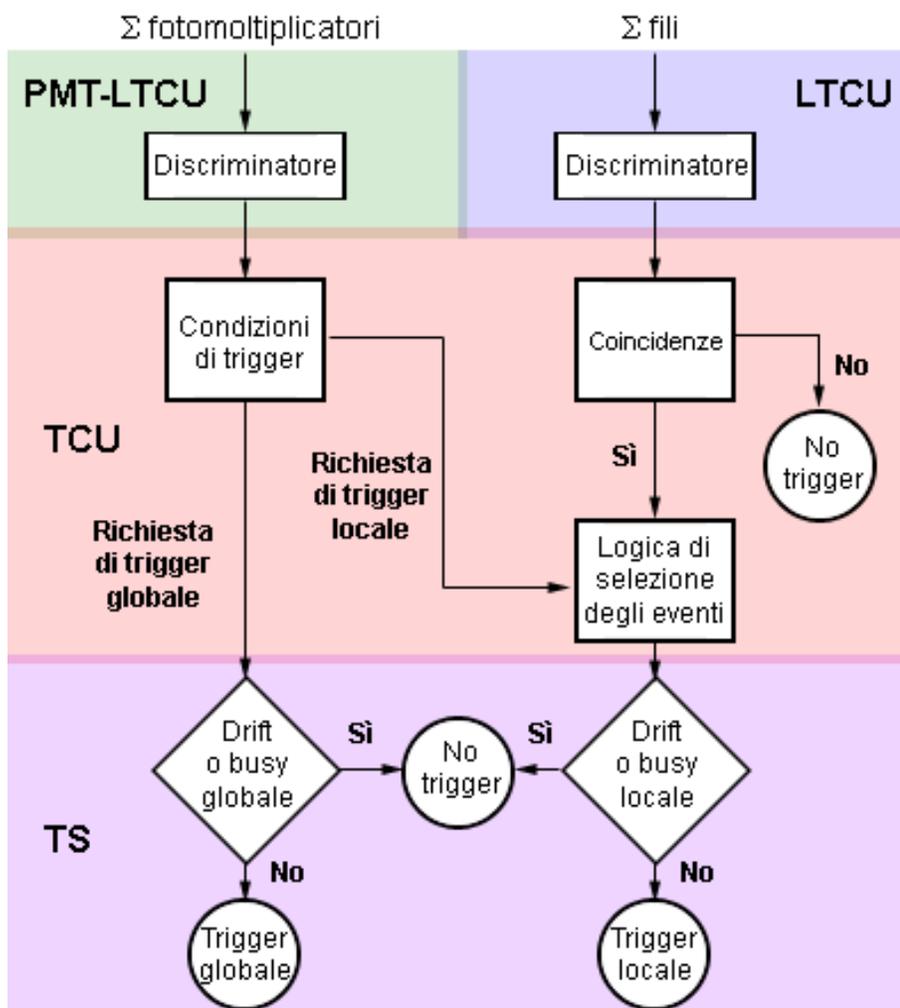


Figura 3.8: Schema di massima dell'algoritmo di generazione del segnale di trigger

esse locali o globali, in un intervallo di tempo pari al tempo di deriva degli elettroni nella camera verranno vetate in quanto comunque acquisite dal primo trigger. In questo caso si dice che il sistema si trova in uno stato di “*drift globale*”. Nel caso invece che il primo trigger sia locale vale ovviamente lo stesso discorso ma applicato ai soli crate interessati dal trigger e ad esso ci si riferisce come stato di “*drift locale*”. Se, infine, il sistema si trova nello stato di busy descritto nel paragrafo 3.1, il Trigger Supervisor veterà tutte le richieste di trigger per tutto il tempo della durata di tale stato: ovviamente, nel caso che il busy sia locale, verranno vetate solo le richieste che interessano

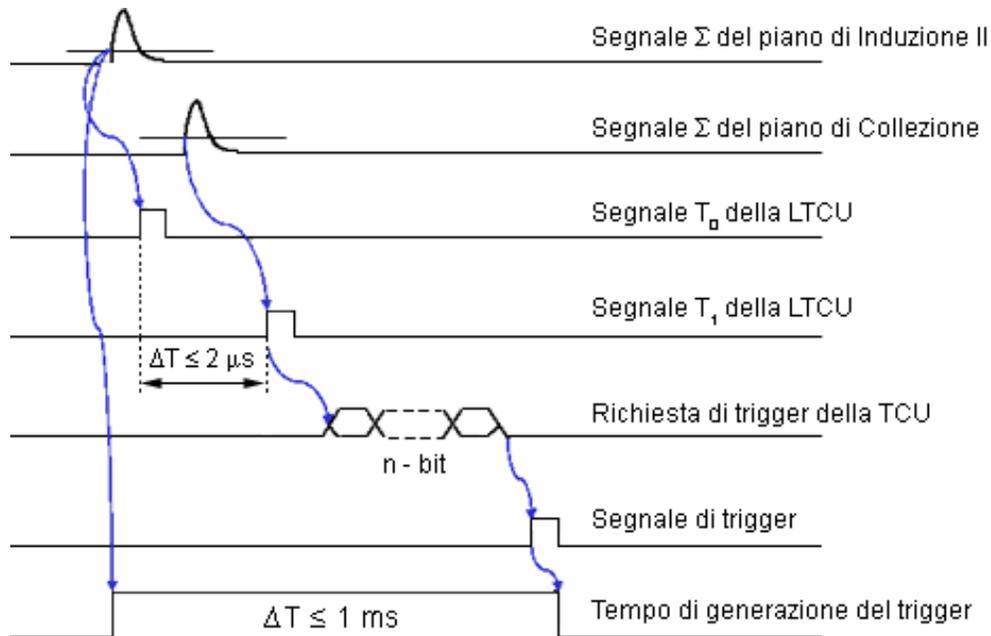


Figura 3.9: Schematizzazione della generazione del segnale di trigger.

i crate occupati.

Nella figura 3.9 si dà una schematizzazione di massima della temporizzazione e della generazione del segnale di trigger evidenziando i fronti che generano le varie proposte di trigger nei vari livelli. L'intero sistema di trigger ha al massimo 1 ms di tempo per generare e distribuire il segnale: ciascun singolo dato nei buffers circolari, infatti, viene sovrascritto ogni millisecondo se non è congelato da un segnale di trigger. Per quanto riguarda il ritardo di propagazione del segnale dalle LTCU, collocate nei crate dell'elettronica di read-out alle TCU, e quello di distribuzione del segnale di trigger, essendo comunque queste distanze dell'ordine di al massimo diverse decine di metri, tali ritardi saranno dell'ordine dei nanosecondi e quindi largamente trascurabili.

3.6 La *Trigger Control Unit*: studi preliminari

Questa unità costituisce il secondo livello del sistema di trigger ed è in fase preliminare di progetto. Essa processa *on-line* i dati in modo da localizzare

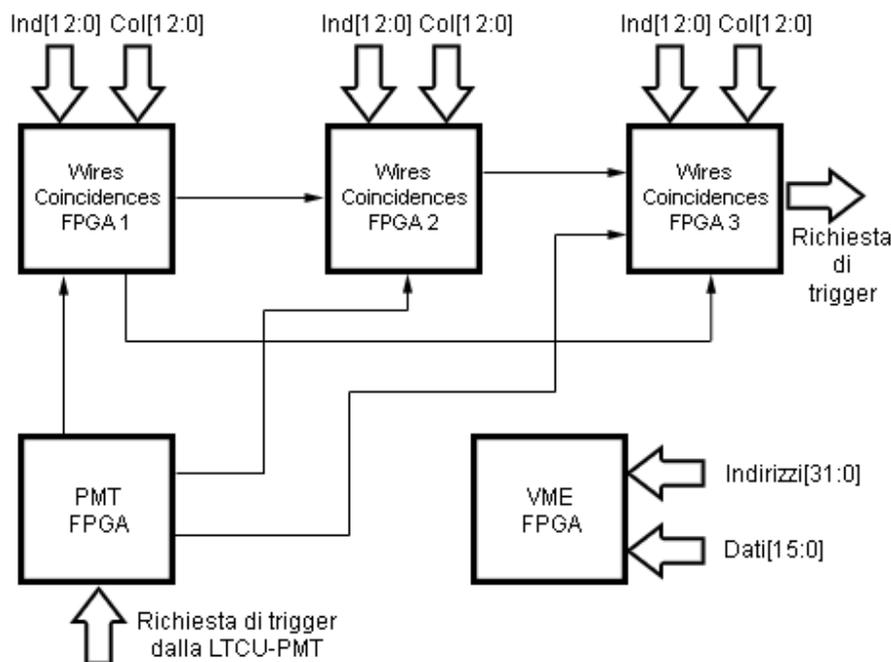


Figura 3.10: Schema a blocchi della Trigger Control Unit

l'evento individuando i pixel interessati e selezionare poi la tipologia dello stesso dallo studio nel tempo dell'occupazione del rivelatore. Ogni TCU monitora una sola camera, ovvero riceve proposte di trigger di primo livello da 20 LTCU. Il numero di ingressi dipenderà da quale segmentazione si sceglierà di utilizzare: ad esempio, nel caso di una segmentazione a 80 pixel riceverà due segnali da ogni LTCU (40 totali), nel caso della massima segmentazione (3780 pixel), ne riceverà 18 (360 totali). Oltre ad eseguire la coincidenza tra questi segnali, questo livello, come detto, riceverà anche le proposte di trigger provenienti dalle PMT-LTCU che discriminano i segnali provenienti dai fotomoltiplicatori in modo da determinare se richiedere un trigger globale o locale. Lo schema generale della TCU è mostrato in figura 3.10.

Il rivelatore è suddiviso in tre zone ognuna della quali è analizzata da una delle tre WC-FPGA (Wires Coincidences FPGA) che provvederanno a “fotografare” periodicamente l'attività del rivelatore per analizzarne l'occupazione. In un dato istante \bar{t} le tre FPGA, quindi, memorizzeranno lo stato delle linee d'ingresso ed eseguiranno gli algoritmi di analisi dell'attività e

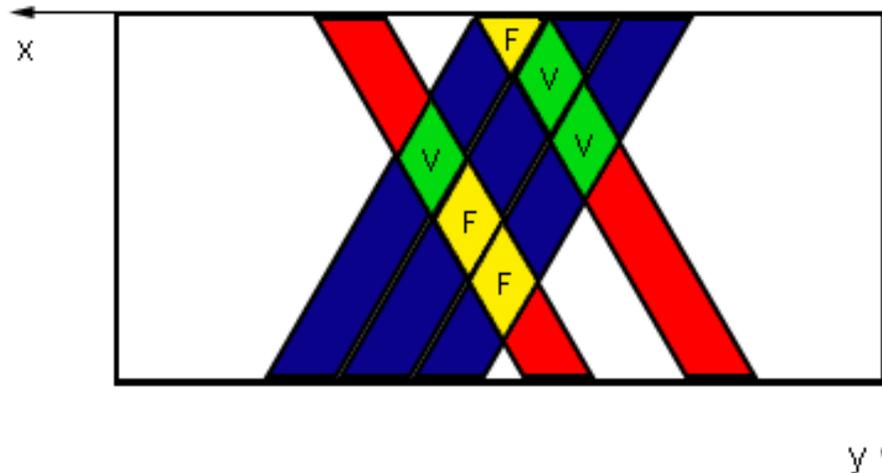


Figura 3.11: Nella figura è evidenziato un caso particolare in cui si evince l'esistenza di falsi pixel dati dalla geometria del rivelatore. Dovendo ricavare i pixel come intersezione dei parallelogrammi di induzione II (indicati col colore rosso) e quelli di Collezione (indicati col blu), insieme ai pixel realmente interessati da un evento contrassegnati dalla lettera **V** appariranno erroneamente "accesi" tutti i pixel contrassegnati con la lettera **F**. La riproduzione del piano $z = 0$ del rivelatore non è in scala.

registreranno i risultati nelle apposite memorie. I dati di analisi ad istanti successivi daranno lo stato di occupazione nella finestra temporale considerata dal quale è possibile estrapolare una caratterizzazione dell'evento. La PMT-FPGA esegue una analoga analisi fra i fotomoltiplicatori mentre la VME-FPGA gestisce l'interfaccia della scheda sul bus VME.

Le possibili variabili da considerare per progettare gli algoritmi di ricostruzione e analisi dell'attività possono essere diverse. Tra queste, per esempio, il numero di pixel accesi, il numero di parallelogrammi attivi in ciascuna proiezione (e quindi il numero di schede interessate), il numero di cluster o particolari configurazioni di pixel.

È opportuno sottolineare che la struttura stessa del rivelatore che fissa la geometria del pixel introduce un'incertezza sul numero di pixel interessati dalla traccia. In figura 3.11 i pixel indicati con la lettera "V" sono quelli effettivamente interessati dall'evento fisico, ma essendo determinati come coincidenza di due parallelogrammi, essi saranno associati a tutte le possibili

intersezioni coinvolgendo pixel spuri contrassegnati con la lettera “F”.

Questa incertezza, che non affligge il numero di schede interessate, non può essere eliminata ma ridotta di molto aumentando la segmentazione e quindi il numero di pixel totali ed eventualmente utilizzando anche i segnali del piano di Induzione I.

Capitolo 4

Il prototipo della *Local Trigger Control Unit*

Il primo livello del sistema elettronico di trigger è costituito dalla Local Trigger Control Unit a cui è affidata la discriminazione dei segnali di somma analogica prodotti dalla scheda V791.

Ciascuna LTCU è riceve un segnale, corrispondente alla somma analogica di 32 fili anodici, per ognuna delle 18 schede V791. Per motivi di semplicità tecnico-realizzativa si è scelto di progettare il prototipo della scheda assumendo di voler dividere il rivelatore in 80 pixels: in questo modo la scheda dovrà avere due segnali di uscita, ognuno prodotto dall'OR logico di nove ingressi. Una differente segmentazione non modifica assolutamente le funzionalità della scheda ma comporta ovviamente una variazione del numero delle uscite, una diminuzione dei driver che pilotano le uscite e quindi una modifica della distribuzione degli integrati.

Il crate in cui la scheda è alloggiata è stato realizzato appositamente per contenere l'elettronica analogica di front-end e quindi non ha un bus digitale ,per cui la LTCU è dotata di un interfaccia RS232 per il controllo remoto¹.

È fondamentale sottolineare che la scheda realizzata e descritta nel seguito di questo capitolo costituisce solo un prototipo per studiare la risposta del circuito analogico di discriminazione e quello digitale di gestione delle funzionalità da remoto. Le scelte fatte, quindi, non sono le soluzioni defini-

¹Nella versione definitiva si pensa di dotare la scheda anche di un'interfaccia veloce verso il sistema di *slow control*.

tive per la realizzazione delle LTCU, che verranno effettivamente utilizzate, ma costituiscono una solida base dalla quale partire per gli sviluppi futuri. Il prototipo è stato sviluppato in modo da rispondere alle esigenze generali poste dallo schema di trigger discusse nel capitolo 3, ma solo i test futuri sul prototipo ICARUS da 50 litri del rivelatore in funzione al CERN di Ginevra e quello in costruzione a Napoli potranno dare una risposta sulla bontà di tali scelte.

La descrizione riguarderà il funzionamento logico dei vari circuiti limitatamente ai dettagli che sono fondamentali per la comprensione delle proprietà della scheda. Gli aspetti puramente tecnici sui circuiti analogici, sulla logica digitale e sulle simulazioni di funzionamento *post layout* di quest'ultima, sono esposti in appendice.

4.1 Struttura e funzionalità della LTCU

La scheda progettata può essere suddivisa in due parti: la prima è composta dal circuito analogico di discriminazione dei segnali di ingresso, la seconda è costituita dalla logica implementata nella FPGA. Tale logica permette tramite il protocollo RS232 di impostare le soglie di discriminazione, mascherare i canali di ingresso, verificare il funzionamento della scheda, memorizzare l'attività di ogni singolo canale e portare in uscita dalla scheda il segnale discriminato di uno dei canali a scelta. Inoltre, come si è detto, la scheda genera due proposte di trigger T_0 e T_1 ognuna come OR di nove ingressi discriminati. Sia la parte analogica che quella digitale verranno descritte approfonditamente nei prossimi paragrafi.

La scheda, mostrata in figura 4.1, è da 6 U Eurocard e ha nove connettori esterni. Il connettore posteriore da 64 pin rende la scheda meccanicamente compatibile con i crate per le schede V791 ma non è utilizzato. Il connettore posteriore a 30 pin è usato per le tre alimentazioni (due per la parte analogica e una per la parte digitale) e la massa. Sul lato anteriore ci sono sei connettori: tre connettori a 16 pin per i 18 ingressi, un connettore a nove pin femmine, due connettori RJ11, uno per le due proposte di trigger e l'altro

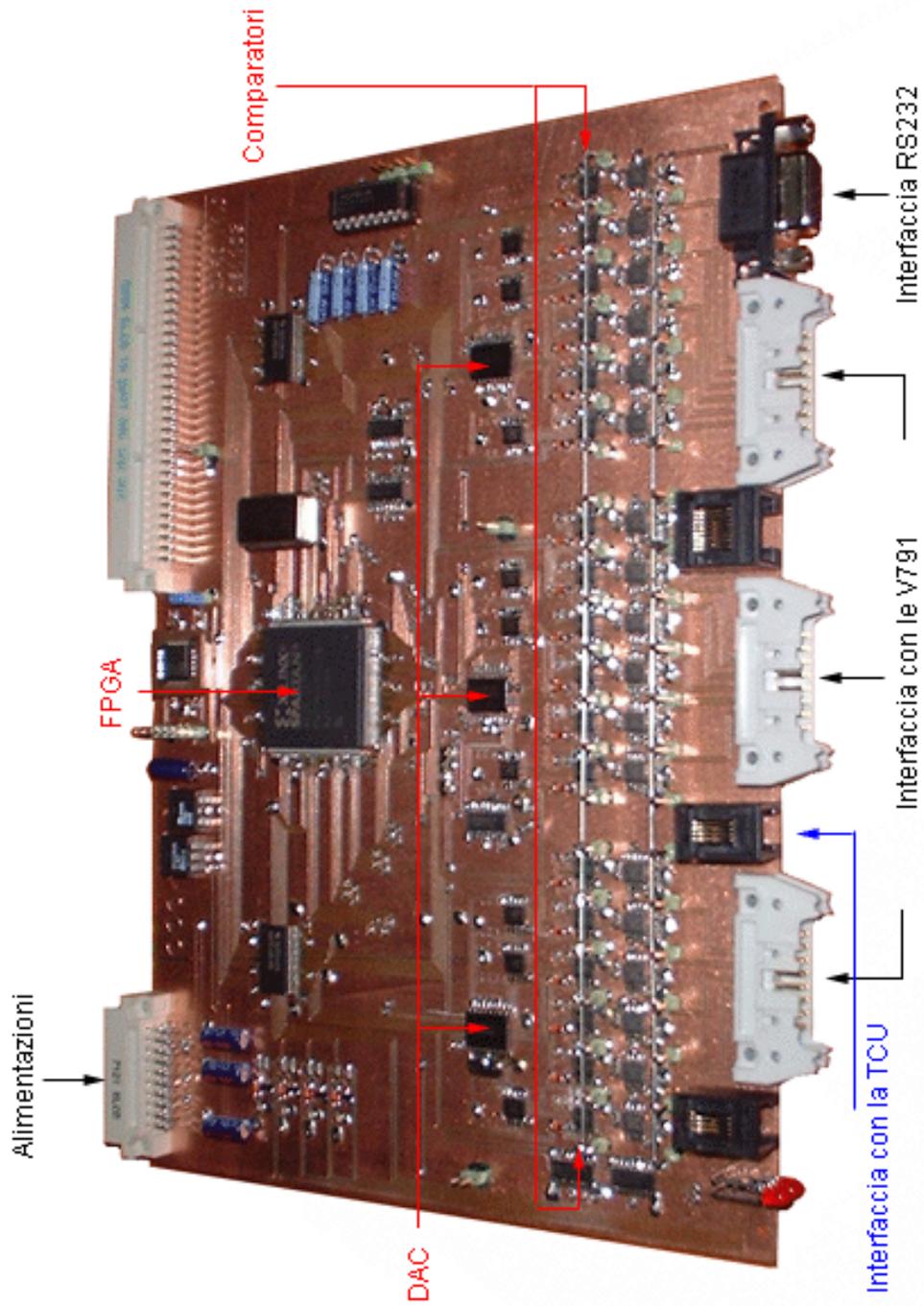


Figura 4.1: Il prototipo della *Local Trigger Control Unit*. Sono evidenziati in nero le interfacce di ingresso e di comunicazione, in blu le interfacce di uscita e in rosso i componenti principali.

| Simbolo | Parametro | Valore tipico |
|----------------|---|---------------|
| N_{in} | Numero di ingressi | 18 |
| N_{out} | Numero di uscite di trigger | 2 |
| f_{3dB} | Frequenza di taglio a $-3dB$ del rumore | ~ 66 kHz |
| f_{clock} | Frequenza dell'oscillatore | 10 MHz |
| IV_{DAC} | Intervallo delle tensioni di soglia | [0, 267] mV |
| PV_{DAC} | Passo delle tensioni di soglia | ~ 1 mV |
| V_{off} | Tensione di offset ingresso | 10 mV |
| V_{DD}^{an} | Tensioni di alimentazione analogica | ± 5 V |
| V_{DD}^{dig} | Tensioni di alimentazione digitale | 5 V |

Tabella 4.1: Caratteristiche tecniche principali della LTCU.

per l'uscita del comparatore selezionata, e un connettore RJ45 per il bus dedicato al controllo di tutte le LTCU da parte del sistema di trigger. Nel prototipo questa funzionalità non è implementata.

Se si escludono i 18 ingressi dei segnali di somma analogica provenienti dalle V791, gli ingressi e le uscite della scheda sono in standard TTL differenziale.

Infine, la scheda prototipo è realizzata su soli due strati sui quali sono distribuite le piste di alimentazione e dei segnali. Nella tabella 4.1 sono riassunte le principali specifiche del prototipo della scheda LTCU.

La figura 4.2 mostra lo schema a blocchi del prototipo. Ogni canale di ingresso viene discriminato da uno dei 18 comparatori rispetto ad una soglia indipendente dalle altre impostata da tre DAC a otto canali e 8 bit a caricamento seriale. I segnali discriminati costituiscono gli ingressi della FPGA. Tutta la logica implementata al suo interno è pilotabile tramite l'interfaccia RS232 di cui è provvista la scheda. Le operazioni eseguibili sono le seguenti:

- mascherare i canali di ingresso (i canali mascherati non contribuiscono al segnale di uscita), comando: *Write_Mk*;
- leggere i canali mascherati, comando: *Read_Mk*;

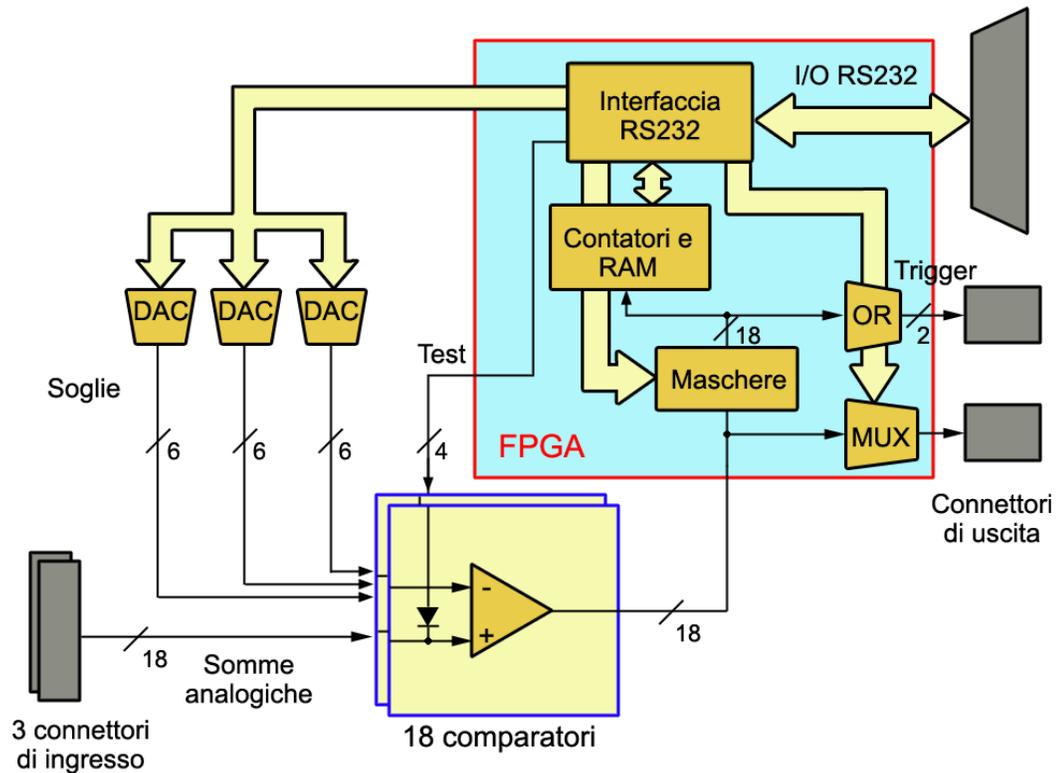


Figura 4.2: Schema a blocchi della LTCU.

- impostare la tensione di soglia per la discriminazione del segnale di ingresso, comando: *Write_DAC*;
- impostare una finestra temporale nella quale contare le proposte di trigger di ogni singolo canale, comando: *T_Win*;
- leggere i conteggi effettuati nella finestra temporale per ogni singolo canale, comando: *Read_Cnt*;
- testare il funzionamento dei comparatori, comando: *Test_P*;
- impostare in uscita sul pannello frontale uno dei segnali discriminati, comando: *Read_Ch*.

Per quanto riguarda le maschere esse sono necessarie nell'eventualità che durante la presa dati si voglia eliminare un determinato canale di ingresso

| Comando | Control Word | Da trasmettere | Da ricevere |
|------------------|--------------|----------------|-------------|
| <i>Write_Mk</i> | 00100000 | 3 Byte | 0 Byte |
| <i>Read_Mk</i> | 01100000 | 0 Byte | 3 Byte |
| <i>Write_DAC</i> | 00010000 | 2 Byte | 0 Byte |
| <i>T_Win</i> | 000010xx | 0 Byte | 0 Byte |
| <i>Read_Cnt</i> | 01010000 | 1 Byte | 1 Byte |
| <i>Test_P</i> | 000001xx | 0 Byte | 0 Byte |
| <i>Read_Ch</i> | 11000000 | 1 Byte | 0 Byte |

Tabella 4.2: Nella tabella sono elencati i comandi per le varie operazioni, il byte di control word e il numero di Byte da trasmettere e da ricevere dopo ogni control word. I bit contrassegnati da una x possono assumere valore 0 o 1: in questo modo si opera la selezione della finestra temporale o del gruppo di canali da testare.

dalla generazione del trigger a causa, ad esempio, di un rumore troppo elevato. L'operazione di impostazione delle soglie permette di comunicare ai DAC presenti sulla scheda quale tensione impostare all'ingresso della soglia di riferimento dei vari comparatori che può essere diversa per i vari canali. All'accensione della scheda i canali risultano tutti mascherati e le soglie impostate a ~ 0 mV.

Poiché le proposte di trigger avanzate dalla LTCU sono, come detto, l'OR di nove ingressi, i livelli superiori della logica di trigger non possono processare l'attività dei vari ingressi che generano le proposte di trigger. Monitorare il rate di trigger provenienti da ciascun canale può essere utile per individuare anomalie del sistema dovute ad un canale affetto da un rumore troppo elevato e per questo costantemente sopra soglia. È quindi possibile contare, in una finestra temporale selezionabile tra 1, 2, 4 e 8 secondi, quante volte i segnali di ingresso sui vari canali superano la soglia. Queste informazioni vengono registrate nella memoria RAM interna alla FPGA che può essere successivamente letta e trasferita tramite l'interfaccia RS232.

Inoltre, per verificare il corretto funzionamento del circuito analogico è possibile inviare un impulso di test di durata pari a $1.6 \mu s$ in ingresso ai comparatori e verificare direttamente se la soglia viene superata portando

| Comando | 1° Byte | 2° Byte | 3° Byte |
|------------------|---|---------------------------------|----------------------|
| <i>Write_Mk</i> | <i>Ch0, ...Ch7</i> | <i>Ch8, ...Ch15</i> | <i>Ch16, Ch17, X</i> |
| | Un canale viene mascherato se il bit corrispondente è posto al livello logico basso. | | |
| <i>Read_Dac</i> | <i>Ch0, ...Ch7</i> | <i>Ch8, ...Ch15</i> | <i>Ch16, Ch17, X</i> |
| | Un canale risulta mascherato se il bit corrispondente è posto al livello logico basso. | | |
| <i>Write_DAC</i> | <i>D0, ...D7</i> | <i>Ch0, Ch1, Ch2, A0, A1, X</i> | |
| | I bit <i>A</i> selezionano uno dei tre DAC sulla scheda, i bit <i>CH</i> il canale del DAC e i <i>D</i> il codice della tensione. | | |
| <i>Read_Cnt</i> | <i>A0, ...A3, G, X</i> | | |
| | I bit <i>A</i> selezionano il canale da leggere <i>G</i> uno dei due gruppi di nove in cui sono raggruppati i canali. | | |
| <i>Read_Ch</i> | <i>A0, ...A4, X</i> | | |
| | I bit <i>A</i> selezionano il canale da portare in uscita sul pannello frontale della scheda. | | |

Tabella 4.3: Nella tabella è elencato il significato bit per bit dei byte da trasmettere e da ricevere per comunicare con la LTCU. Non è elencato il byte da ricevere dopo il comando *Read_Cnt* in quanto semplicemente codifica in binario il numero degli HIT contati per il canale indirizzato. Si è, inoltre, indicato con una *X* tutti i bit senza significato.

l'uscita del comparatore sul pannello frontale della scheda. Per quanto riguarda la distribuzione del segnale di test, per comodità realizzativa, si è scelto di dividere i canali in due gruppi da nove, ognuno dei quali diviso a sua volta in un gruppo di cinque e uno di quattro.

Ciascuna operazione, infine, è individuata da uno specifico Byte detto *control word* e seguito da un numero di Byte da trasmettere che varia a seconda dell'operazione che si sta eseguendo. In tabella 4.2 sono riassunte le varie control word ed il numero di Byte tipico di ogni operazione, le quali verranno descritte approfonditamente nel paragrafo 4.3. In tabella 4.3 è riassunto il significato dei Byte che seguono la control word bit per bit.

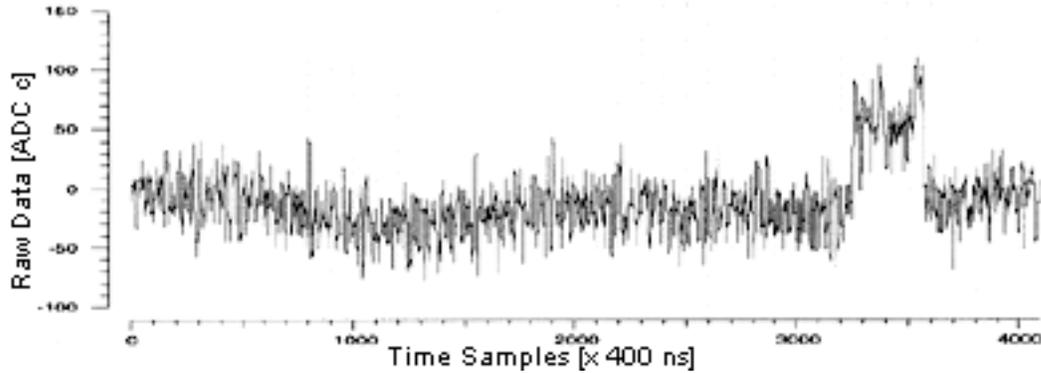


Figura 4.3: Uscita di somma analogica delle schede CAEN V791: il segnale risulta affetto da una modulazione a bassa frequenza (~ 60 kHz).

4.2 Il circuito analogico di discriminazione

Il parte analogica della LTCU si compone sostanzialmente dei seguenti elementi: un filtro passa alto, un inseguitore di tensione, un comparatore, un circuito di test e un DAC per fornire le tensioni di soglia. Al circuito così composto è affidata la discriminazione dei segnali di ingresso provenienti dalla scheda CAEN V791. Tale scheda genera un segnale affetto da una modulazione che ne modifica la *baseline* come si vede in figura 4.3. Per eliminare tale modulazione, lo stadio di ingresso della LTCU è dotato di un filtro RC passa alto mostrato in figura 4.4. La tensione ai capi di R è data da:

$$\begin{aligned} V_R &= \frac{R}{[R^2 + (1/\omega^2 C^2)]^{1/2}} V_{in} \\ &= \frac{2\pi f RC}{[1 + (2\pi f RC)^2]^{1/2}} V_{in} \end{aligned} \quad (4.1)$$

e la frequenza di taglio a -3 dB risulta quindi

$$f_{3dB} = \frac{1}{2\pi RC} \quad (4.2)$$

Il valore di f_{3dB} fissato in base alle suddette esigenze è pari a ~ 60 kHz. Da questa considerazione si ricava $R = 1.5$ k Ω e $C = 10$ nF, ottenendo in definitiva $f_{3dB} \simeq 66$ kHz.

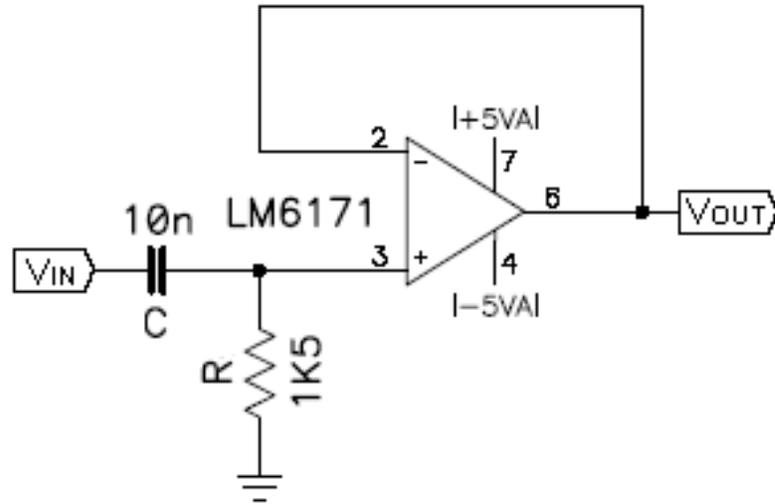


Figura 4.4: Il filtro RC di ingresso e l'inseguitore di tensione.

Come si vede sempre in figura 4.4 il filtro è seguito da un inseguitore di tensione. Questo è utilizzato per disaccoppiare la sorgente del segnale dall'ingresso del discriminatore in modo da eliminare l'alterazione del valore del segnale dovuta a quello che si può definire *effetto di consumo dell'utilizzatore*.

In generale, in una connessione diretta sorgente/utilizzatore, la sorgente si trova ad erogare una corrente non nulla a causa dell'impedenza di ingresso non infinita dell'utilizzatore. Se il generatore del segnale fosse ideale, cioè se avesse impedenza di uscita nulla, l'erogazione di corrente non avrebbe alcun effetto sul valore della tensione che costituisce il segnale. Il generatore è invece reale e ha quindi impedenza di uscita non nulla e, per quanto detto in precedenza, il consumo di corrente potrebbe alterare in modo non trascurabile il valore della tensione rilevata dall'utilizzatore.

In realtà, i componenti reali sono caratterizzati, tra l'altro, da un guadagno a catena aperta A_d , da un rapporto di reiezione di modo comune $CMRR$, da un'impedenza di ingresso Z_{in} non infiniti e da un'impedenza d'uscita Z_{out} e una tensione V_{off} di *offset* non nulle (vedi figura 4.5). In particolare il componente utilizzato nel circuito (LM6171 della National Semiconductor) presenta le caratteristiche elencate nella tabella 4.4 [24].

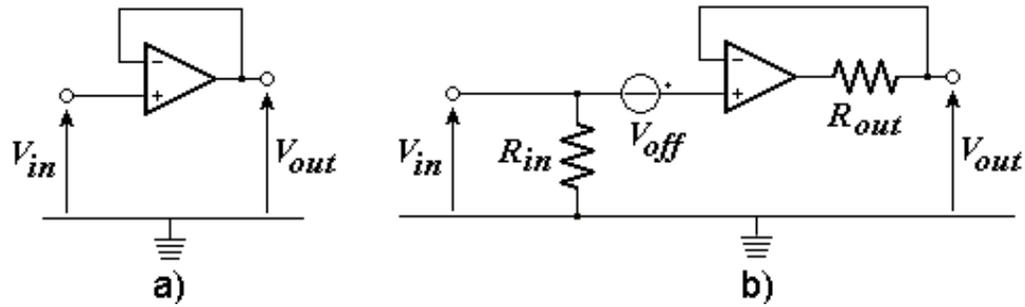


Figura 4.5: In figura **a)** è mostrato l'inseguitore di tensione nel caso di un amplificatore operazionale ideale, mentre in **b)** il circuito equivalente nel caso reale.

Si dimostra che nel caso di un inseguitore di tensione reale si ha:

$$V_{out} = \left(1 - \frac{1}{A_d} \pm \frac{1}{CMRR} \right) (V_{in} \pm V_{off}) \quad (4.3)$$

La correzione moltiplicativa è dovuta alla finitezza sia del guadagno a catena aperta A_d , che fa sì che non si annulli la tensione differenziale, sia del CMRR che fa in modo che una piccola frazione del valore della tensione di modo comune² contribuisca al valore della tensione di uscita. La correzione additiva, invece, è data dalla tensione di offset V_{off} che si somma algebricamente alla tensione di ingresso.

La tensione di uscita dell'inseguitore di tensione descritto viene discriminata dal comparatore TL712, con una isteresi interna di 5 mV, rispetto a una soglia di riferimento impostata dal DAC a 8 bit TLC5628C. Sia l'uscita diretta che quella negata sono portate in ingresso alla FPGA anche se attualmente sono utilizzati solo i segnali diretti. Le caratteristiche principali del TL712 sono riportate nella tabella 4.5 [25].

Per costituire il circuito di test del comparatore si utilizza un impulso TTL standard dato dalla FPGA in ingresso al comparatore tramite un buffer e un diodo. La FPGA produce un impulso di tensione $V_H \sim 3.3$ V erogando una corrente $I_H \sim 12$ mA. Il buffer ha una doppia funzione: di aumentare la corrente portandola fino a ~ 90 mA e di filtrare il rumore causato

²La tensione di modo comune è definita come la media fra il valore della differenza di potenziale verso massa dell'ingresso invertente e quella verso massa all'ingresso non invertente.

| Simbolo | Parametro | Valore tipico |
|-----------|--------------------------------------|----------------|
| R_{in} | Resistenza di ingresso | 40 M Ω |
| R_{out} | Resistenza di uscita a catena aperta | 14 Ω |
| A_d | Guadagno a catena aperta | 90 dB |
| $CMRR$ | Rapporto di reiezione di modo comune | 105 dB |
| V_{off} | Tensione di offset in ingresso | 1.2 mV |
| GBW | Banda passante di amplificazione | 90 MHz |
| f_{3dB} | Frequenza di taglio a -3dB | 45 MHz |
| SR | Slew Rate | 750 V/ μ s |
| I_s | Corrente di alimentazione | 2.5 mA |

Tabella 4.4: Alcune caratteristiche tipiche dell'amplificatore operazionale LM6171 della National Semiconductor.

dall'oscillatore presente sull'impulso proveniente dalla FPGA. In presenza di un impulso, quindi, il diodo (vedi figura 4.6) ha in ingresso una tensione di ~ 3.3 V e l'uscita chiusa verso massa tramite una resistenza il cui valore nominale è di 56 Ω . Le condizioni sono sufficienti per farlo polarizzare direttamente. In definitiva, all'ingresso del comparatore si avrà una tensione di $V_{pulse} \sim 2.7$ V.

In assenza dell'impulso, la tensione V_L misurata all'ingresso del diodo è di circa 200 mV. Questa situazione implica la presenza di una corrente di polarizzazione inversa non nulla attraverso la resistenza, su cui è chiuso a massa il diodo, tale da fornire una tensione $V_{offset} \simeq 10$ mV in ingresso al comparatore. La tensione da discriminare risulta di 10 mV più alta rispetto a quella reale a causa della presenza del circuito di test di cui si dovrà tenere conto nell'impostare la tensione di soglia.

Il circuito che genera tale tensione di soglia è riportato in figura 4.7. Il DAC TLC5628C utilizzato è un componente con otto canali indipendenti, ciascuno a 8 bit a caricamento seriale, le cui caratteristiche elettriche sono riassunte nella tabella 4.6 [26]. Ha quattro linee digitali di ingresso: *DATA* costituisce l'ingresso seriale dei dati da convertire, *DAC_CLK* l'ingresso del clock, *LDAC* è il controllo di caricamento dei dati, *LD* è la linea di aggior-

| Simbolo | Parametro | Valore tipico |
|-----------|---|---------------|
| V_{\pm} | Tensione di soglia massima e minima | ± 100 V |
| V_{hys} | Tensione di isteresi | 5 mV |
| V_{OH} | Livello alto di uscita | 3.5 V |
| V_{OL} | Livello basso di uscita | 0.4 V |
| R_{in} | Resistenza di ingresso | 4 k Ω |
| R_{out} | Resistenza di uscita | 100 Ω |
| P_{LH} | Ritardo di propagazione transizione L-H | 25 ns |
| P_{HL} | Ritardo di propagazione transizione H-L | 25 ns |

Tabella 4.5: Alcune caratteristiche tipiche del comparatore TL712 della Texas Instruments.

namento dell'uscita in tensione. Il protocollo di trasferimento dei dati nel DAC verrà spiegato nei dettagli nel paragrafo 4.3.1. Altri due ingressi del componente, $REF1$ e $REF2$, recano la tensione di riferimento ognuno per 4 canali. Dovendo essere il riferimento uguale per tutti gli otto canali, questi due ingressi sono entrambi collegati al partitore di tensione³ in figura 4.7 e quindi la tensione di riferimento è data da:

$$V_{ref} = \frac{R_2}{R_1 + R_2} V_{CC} \quad (4.4)$$

ed essendo $R_1 = 3.9$ k Ω , $R_2 = 220$ Ω e $V_{CC} = 5$ V si ottiene $V_{ref} \simeq 267$ mV. Le due capacità in parallelo a R_2 hanno la funzione di rallentare le possibili oscillazioni della tensione di riferimento dovute a una variazione nel tempo della corrente assorbita dai DAC oppure da una variazione nel tempo della tensione di alimentazione.

Il circuito equivalente, dato dalla serie tra $R_{Th} = \frac{R_1 R_2}{R_1 + R_2}$ e $C_{Th} = C_1 + C_2$ dove $C_1 = 0.1$ μ F e $C_2 = 1$ nF, si comporta come un integratore con una costante di tempo $\tau = R_{Th} C_{Th} \simeq 21$ μ s. Questo impedisce una variazione troppo veloce di V_{ref} , che potrebbe avere come conseguenza che due canali

³Questo non è il modo migliore per ottenere una tensione di riferimento, ma è sufficiente per studiare il comportamento del prototipo. Nella versione definitiva della LTCU la tensione di riferimento verrà ricavata con gli appositi integrati per garantirne una maggiore stabilità.

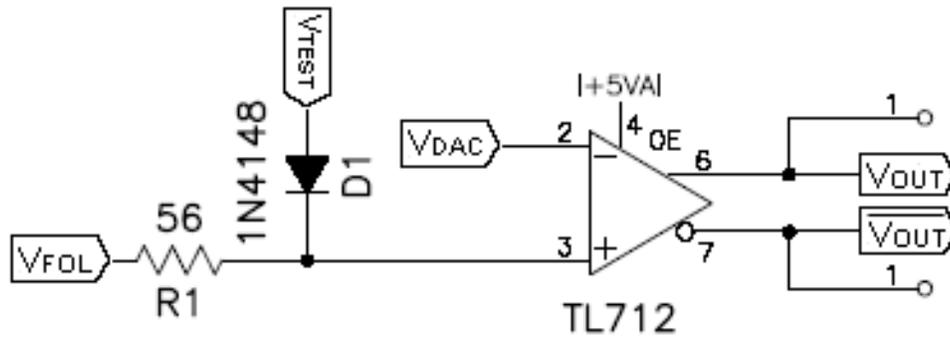


Figura 4.6: Il comparatore e il circuito di test. V_{FOL} è la tensione di uscita dell'inseguitore di tensione, V_{TEST} è la tensione del segnale di test dato dalla FPGA, V_{DAC} è la tensione di soglia data dal DAC, V_{OUT} e $\overline{V_{OUT}}$ sono rispettivamente la tensione diretta e negata di uscita del comparatore.

| Simbolo | Parametro | Valore tipico |
|-----------|---------------------------------|-----------------------|
| V_{CC} | Tensione di alimentazione | $4.75 \div 5.25$ V |
| V_{IH} | Livello alto ingresso digitale | $\geq 0.8V_{CC}$ |
| V_{IL} | Livello basso ingresso digitale | ≤ 0.8 V |
| V_{ref} | Tensione di riferimento | $\leq V_{CC} - 1.5$ V |
| R_L | Resistenza di carico | 10 k Ω |
| V_{DAC} | Tensione di uscita massima | 3.5 V |
| SR | Slew Rate | 1 V/ μ s |

Tabella 4.6: Alcune caratteristiche elettriche tipiche del DAC TLC5628C della Texas Instruments.

di uno stesso DAC possano dare in uscita due tensioni differenti in corrispondenza ad stesso codice binario. Infatti, la tensione di uscita del singolo canale è data dalla relazione:

$$V_{DAC} = V_{ref} \left(\frac{COD}{256} \right) \quad (4.5)$$

dove $COD \in [0, 255] \subset \mathcal{N}$.

L'uscita del DAC è collegata a massa attraverso una resistenza di carico $R_L = 10$ k Ω come prescritto dai *datasheet* del componente (vedi tabella 4.6) ed è disaccoppiata dall'ingresso di soglia del comparatore tramite un

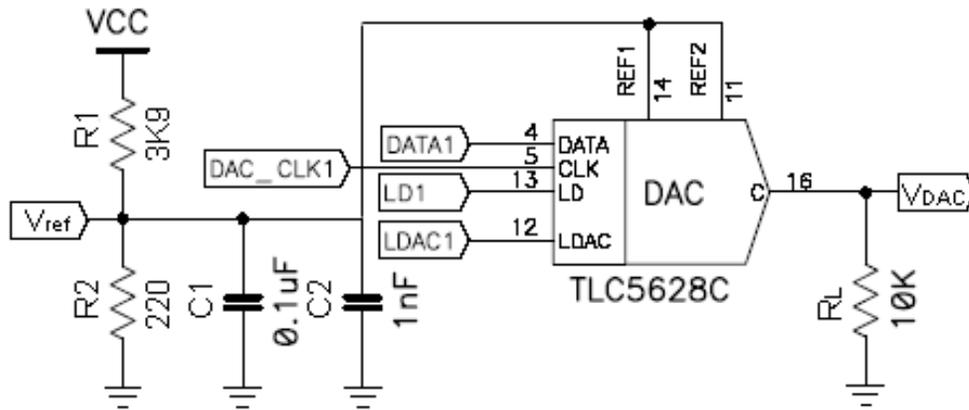


Figura 4.7: Il DAC e il partitore per la tensione di riferimento V_{ref} .

inseguitore di tensione analogo a quello già descritto ma realizzato con l'integrato LM6172 (vedi tabella 4.7) che a differenza del precedente contiene due operazionali [27].

4.3 La FPGA

Per permettere la gestione delle funzionalità della LTCU da remoto, la scheda è dotata di una FPGA nella quale sono state implementati i circuiti digitali necessari per realizzare le singole operazioni.

Il dispositivo programmabile utilizzato, in particolare, è una *XILINX Spartan 2*⁴ il cui funzionamento è brevemente descritto nell'appendice A. Di seguito i vari circuiti verranno descritti seguendo il naturale ordine gerarchico dettato dal disegno della logica.

Nella tavola C.1 è riportato il simbolo del dispositivo FPGA in cui sono evidenziate le linee dei segnali di ingresso e di uscita del chip utilizzati dalla logica in esso implementata. La scelta del posizionamento dei piedini di I/O risponde all'esigenza di semplificare l'interconnessione tra i vari componenti sulla scheda in modo da ottimizzare i tempi di propagazione dei segnali. I segnali della FPGA possono essere così raggruppati (vedi tabella 4.8):

⁴Modello XC2S100-5PQ208

| Simbolo | Parametro | Valore tipico |
|-----------|--------------------------------------|----------------|
| R_{in} | Resistenza di ingresso | 40 M Ω |
| R_{out} | Resistenza di uscita a catena aperta | 14 Ω |
| A_d | Guadagno a catena aperta | 82 dB |
| $CMRR$ | Rapporto di reiezione di modo comune | 105 dB |
| V_{off} | Tensione di offset in ingresso | 0.1 mV |
| GBW | Banda passante di amplificazione | 100 MHz |
| f_{3dB} | Frequenza di taglio a -3dB | 45 MHz |
| SR | Slew Rate | 750 V/ μ s |
| I_s | Corrente di alimentazione | 4.4 mA |

Tabella 4.7: Alcune caratteristiche tipiche dell'amplificatore operazionale LM6172 della National Semiconductor.

- segnali di **dati**: $D[17 : 0]$, $D_DAC[2 : 0]$, SIN , S_OUT , CH_OUT , OR_L , OR_M , $TEST0[4 : 0]$, $TEST1[3 : 0]$, $TEST2[4 : 0]$, $TEST3[3 : 0]$;
- segnali di **sincronizzazione**: $CK100$, $CK_DAC[2 : 0]$;
- segnali di **controllo**: $L_DAC[2 : 0]$, $LD[2 : 0]$.

Lo schema a blocchi della FPGA è evidenziato in figura 4.8. Il blocco di logica chiamato 232_INTF , il cui funzionamento verrà descritto più approfonditamente nel paragrafo 4.3.1, riceve i comandi elencati in tabella 4.2 serialmente tramite l'ingresso SIN , li registra in un buffer, li decodifica e a seconda del comando esegue un'operazione secondo lo schema seguente:

- **Write_Mk**: genera i segnali $MK[17 : 0]$ che abilitano o disabilitano gli ingressi $D[17 : 0]$.
- **Read_Mk**: trasmette 3 byte sulla linea S_OUT comunicando lo stato delle maschere;
- **Write_DAC**: genera i segnali $CK_DAC[2 : 0]$, $D_DAC[2 : 0]$, $L_DAC[2 : 0]$ e $LD[2 : 0]$ per i DAC;
- **T_Win**: genera il segnale T_W di abilitazione del blocco $18X8CNT$;

| Segnale | Descrizione | Tipo |
|------------------|--|------|
| $D[17 : 0]$ | È il bus dei segnali dai comparatori | I |
| $D_DAC[2 : 0]$ | Segnali seriali di impostazione dei DAC | O |
| SIN | Ingresso dati seriali RS232 | I |
| S_OUT | Uscita dati seriali RS232 | O |
| CH_OUT | Uscita sul pannello frontale dei comparatori | O |
| OR_L | Uscita di trigger dei segnali $D[8:0]$ | O |
| OR_M | Uscita di trigger dei segnali $D[17:9]$ | O |
| $TEST0[4 : 0]$ | Segnale di test per i comparatori con $D[4:0]$ | O |
| $TEST1[3 : 0]$ | Segnale di test per i comparatori con $D[8:5]$ | O |
| $TEST2[4 : 0]$ | Segnale di test per i comparatori con $D[13:9]$ | O |
| $TEST3[3 : 0]$ | Segnale di test per i comparatori con $D[17:14]$ | O |
| $CK100$ | Segnale di clock a 10 MHz | I |
| $CK_DAC[2 : 0]$ | Segnale di clock a 625 kHz per i DAC | O |
| $L_DAC[2 : 0]$ | Segnale di caricamento del DAC | O |
| $LD[2 : 0]$ | Segnale di aggiornamento dell'uscita del DAC | O |

Tabella 4.8: Segnali I/O della FPGA

- **Read_Cnt:** genera un indirizzo su $ADR[8 : 1]$ e registra in un buffer i segnali $CNT[7 : 0]$, li serializza e li trasmette sulla linea S_OUT ;
- **Test_P:** genera un impulso sulle linee di uno dei bus $TEST0[4 : 0]$, $TEST1[3 : 0]$, $TEST2[4 : 0]$, $TEST3[3 : 0]$;
- **Read_Ch:** genera un segnale sulle linee di indirizzo CH_R del blocco $18X1_MUX$.

Il blocco *DEGLITCH* (paragrafo 4.3.2) ha due funzioni: quella di mascherare gli ingressi e di formare il segnale di “gate” lungo $1 \mu s$, che consente il conteggio degli HIT⁵. Ha due bus di uscita: il primo, $HW[17 : 0]$ reca gli ingressi mascherati ma non formati, il secondo $HHW[17 : 0]$ reca gli ingressi formati.

⁵Si definisce HIT la presenza di una transizione basso-alto su una delle linee $D[17 : 0]$.

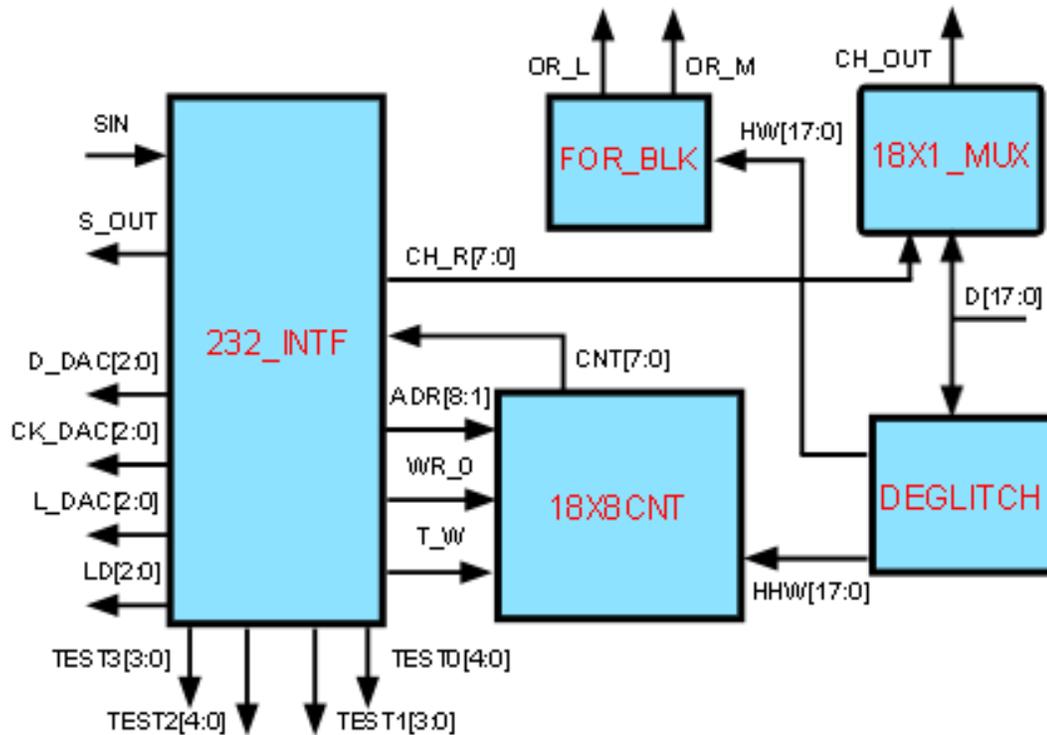


Figura 4.8: Schema a blocchi della FPGA.

Il *18X8CNT* (paragrafo 4.3.3) esegue il conteggio e la scrittura nella RAM della FPGA per tutto il tempo in cui il segnale *T_W* è alto mentre restituisce, in corrispondenza di un livello basso, il contenuto della RAM corrispondente all'indirizzo presente su *ADR[8 : 1]*, sulle linee di bus *CNT[7 : 0]*.

Infine il *FOR_BLK* genera le proposte di trigger *OR_L* e *OR_M* dai segnali *HW[17 : 0]* mentre il blocco *18X1_MUX* pone in uscita sulla linea *CH_OUT* il segnale *D[17 : 0]* corrispondente all'indirizzo presente sul bus *CH_R* (paragrafo 4.3.4).

4.3.1 L'interfaccia *232_INTF*

Questa parte della logica costituisce la parte di controllo delle operazioni della FPGA, gestisce il protocollo di comunicazione RS232 e quello di caricamento dei DAC. Con riferimento allo schema a blocchi in figura 4.9, si descriverà il funzionamento di ogni sua parte senza approfondire i dettagli

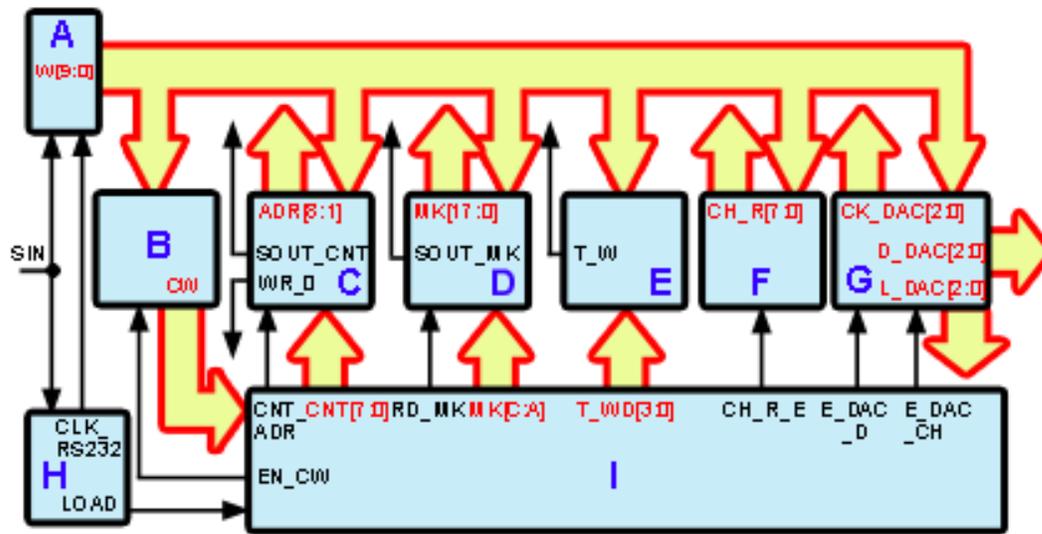


Figura 4.9: Schema a blocchi dell'interfaccia 232_INTF: con la lettera **A** è indicato il registro d'ingresso, con **B** il blocco *CW_BLK*, con **C** *READ_CNT*, con **D** *MK_CNT*, con **E** *TIME_WD*, con **F** *CH_BLK*, con **G** *DAC_BLK*, con **H** *CLK_RD232* e con **I** *LOGIC*.

tecnicisti mentre si dedicherà particolare attenzione alle macchine a stati che generano i segnali di controllo contenute nel blocco detto “*LOGIC*”, e ai blocchi che gestiscono i protocolli seriali di comunicazione.

Per descrivere correttamente come l'interfaccia registra e decodifica i dati sull'ingresso seriale *SIN* bisogna introdurre brevemente il bus RS232. Esso è asincrono e si sviluppa su due linee dati monodirezionali, una per il flusso di ingresso e una per quello di uscita, che in assenza di trasmissione sono al livello logico alto. Ogni trasferimento è composto da 8 bit di dati trasmessi dal bit meno significativo (LSb) a quello più significativo (MSb) preceduto da un bit di START (0 logico⁶) e seguito da un bit di STOP (1 logico) come in figura 4.10. Inoltre, ogni impulso deve avere una durata fissa e conosciuta sia dal dispositivo trasmettente che da quello ricevente: nel caso della LTCU la durata di ogni impulso è stata fissata a 100 μ s da cui consegue una velocità di trasmissione pari a 9600 bit al secondo.

Per memorizzare correttamente i bit di dati di ogni singola trasmissione

⁶In seguito ci si riferirà indifferentemente ai livelli logici digitali come 0 o *L* per quello basso e 1 o *H* per quello alto.



Figura 4.10: Tipica trasmissione secondo il protocollo RS232.

bisogna una volta riconosciuto uno START, campionare il segnale digitale fino al riconoscimento di uno STOP avendo cura di far avvenire la registrazione a una distanza Δt dal fronte di transizione del segnale tale da essere sicuri che il sovracampionamento produca la registrazione del dato in modo corretto. Il *controller CLK_RD232* esegue proprio questa operazione abilitando in scrittura il registro a scorrimento a 10 bit del tipo SIPO⁷, che costituisce il buffer dati di ingresso, nel modo seguente:

1. dà un impulso di abilitazione di durata pari a 100 ns dopo circa 50 μs dalla transizione alto-basso dell'impulso di START in modo che il campionamento avvenga al centro;
2. dà nove impulsi di abilitazione distanziati tra loro di 100 μs in modo da campionare sempre al centro degli 8 bit di dati e lo STOP;
3. dà l'impulso di *LOAD* che comunica avvenuta registrazione di 8 bit al blocco *LOGIC*;
4. ritorna in attesa di un nuovo START bit.

L'esecuzione di ogni singola operazione è affidata ad una specifica parte operativa che eseguirà le operazioni necessarie per la generazione dei segnali o dei dati richieste:

- *CW_BLK* codifica la control word e ha come ingresso il bus $W[9 : 0]$, sul quale sono presenti i dati registrati nel buffer di ingresso, e il segnale di abilitazione *EN_CW*. In presenza di quest'ultimo segnale i dati sul

⁷Serial In - Parallel Out.

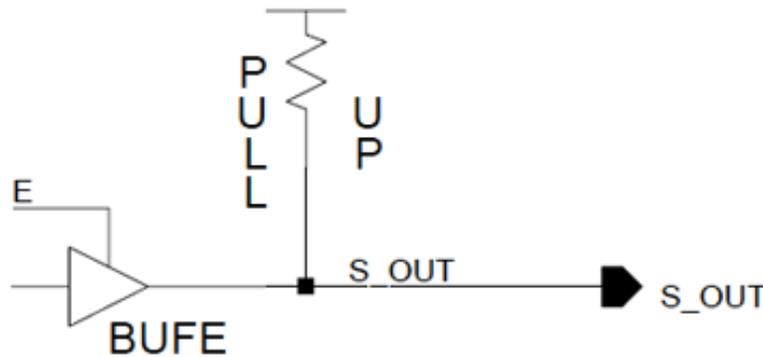


Figura 4.11: Schematico del driver *tri-state* e della resistenza di *pull-up* per guidare l'uscita seriale dei dati via RS232.

bus vengono copiati in un registro interno e decodificati. Il Byte di control word determina l'uscita da portare alta.

- *READ_CNT* esegue la lettura della memoria e la serializza per la trasmissione via RS232. In presenza del segnale di abilitazione *CNT_ADR* registra il dato sul bus $W[9 : 0]$, disabilita la scrittura in memoria ($WR_0 = 0$) e genera l'indirizzo $ADR[8 : 1]$ della locazione di memoria dalla quale leggere. Ricevuto sul bus $CNT[7 : 0]$ il contenuto della locazione indirizzata, lo serializza grazie ad un registro del tipo PISO⁸ e lo trasmette sulla linea *SOUT_CNT* rispettando il protocollo RS232 precedentemente descritto. Quest'ultima linea è guidata da un driver *tri-state* seguito da una resistenza di *pull-up* in modo da riportare alta la linea quando il driver è nello stato di alta impedenza (figura 4.11).
- *MK_CNT* maschera i canali di ingresso e dopo la richiesta di lettura trasmette i tre byte recanti lo stato delle maschere dei canali in modo seriale. È dotato di tre registri interni a 10 bit con ingresso e uscita seriale e parallela: il segnale di abilitazione *MKA* registra i dati sul bus $W[9 : 0]$ nel primo registro, *MKB* e *MKC* rispettivamente nel secondo e nel terzo. Le 18 uscite parallele dei registri che contengono l'informazione formano il bus di uscita $MK[17 : 0]$. Ogni linea di questo bus

⁸Parallel In - Serial Out.

è associata in modo ordinato a un segnale di ingresso: la presenza di uno zero maschererà l'ingresso, un uno renderà disponibile il segnale. All'accensione della scheda i registri sono azzerati, per cui i canali sono tutti mascherati. La presenza del segnale di abilitazione *RD_MK* fa scorrere i tre registri collegati in cascata e ad anello in modo da trasmettere il loro contenuto sulla linea di uscita seriale *SOUT_MK* e di ritornare allo stato precedente alla fine dello scorrimento. Quest'ultima uscita seriale è anch'essa guidata da un driver tri-state seguito da un pull-up (vedi figura 4.11)

- *TIME_WD* ha quattro linee di abilitazione: *T_WD0*, *T_WD1*, *T_WD2*, *T_WD3* in presenza delle quali in uscita si avrà un impulso sulla linea *T_W* di durata differente, rispettivamente 1s, 2s, 4s, 8s. Questi impulsi abiliteranno, come vedremo, il conteggio e la registrazione degli HIT di tutti gli ingressi.
- *CH_BLK* si occupa di impostare il canale di ingresso che si vuole disponibile sul pannello frontale della scheda. Si compone di un semplice registro al cui ingresso c'è il bus $W[9 : 0]$, che viene abilitato in scrittura da *CH_RE*, e in uscita *CH_R[7 : 0]* che opererà la selezione del canale.
- *DAC_BLK* genera tutti i segnali necessari per l'impostazione delle tensioni di soglia. Riceve in ingresso il bus $W[9 : 0]$, sul quale è presente prima il codice binario della tensione da impostare e successivamente l'indirizzo del canale e del DAC (cfr. tabella 4.3), che vengono memorizzati in due registri interni PISO a seconda della presenza rispettivamente dell'abilitazione *E_DAC_D* o *E_DAC_CH*. I bit *A0* e *A1* del secondo byte registrato selezionano uno dei tre gruppi di uscite *CK_DAC_x* *D_DAC_x* *L_DAC_x*, dove $x \in \{0, 1, 2\}$ individua il DAC sulla scheda. I registri di ingresso collegati in cascata scorrono opportunamente per serializzare i dati mentre in parallelo un contatore a 4bit divide per sedici la frequenza del clock di piastra in modo da generare il clock per il DAC. La trasmissione seriale, infatti, è sincrona

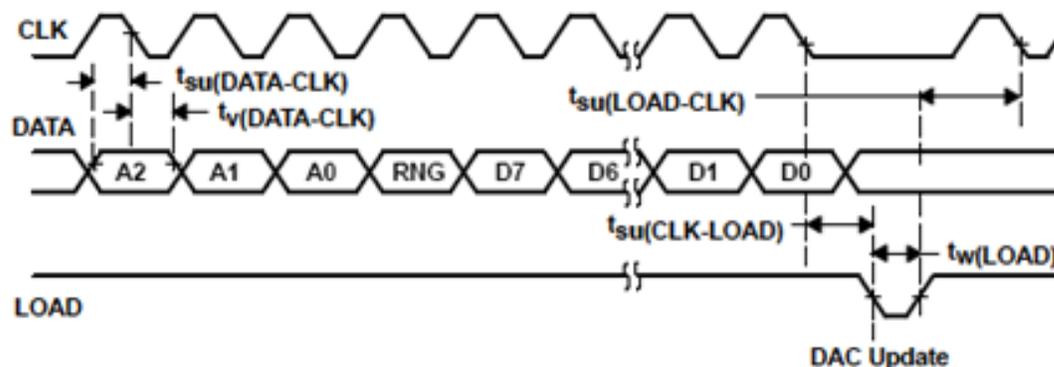


Figura 4.12: Trasmissione da eseguire per la comunicazione coi DAC TLC5628C nel caso dell'ingresso $LD = 0$. Il valore dei tempi di *setup* e di *hold* sono elencati in tabella 4.9.

e deve svolgersi come rappresentato in figura 4.12. I dati seriali vengono registrati nel DAC sulla transizione $H \rightarrow L$ del clock seriale la cui frequenza deve essere al massimo di 1 MHz. La trasmissione deve comporsi di 12 bit: i tre più significativi devono recare l'indirizzo del canale da aggiornare, deve poi seguire il cosiddetto bit di *range* RNG che raddoppia il valore della tensione di uscita⁹, seguito a sua volta dagli 8 bit che codificano la tensione che si vuole impostare. Una transizione $H \rightarrow L$ sulla linea L_DAC che deve essere comunemente alta, conclude la trasmissione e aggiorna la tensione di uscita del canale selezionato al nuovo valore in quanto LD è fissato a L (vedi paragrafo 4.2). In tabella 4.9 sono riassunti i tempi di *setup* e di *hold* minimi richiesti dalle specifiche del componente e quelli effettivi dati alla trasmissione da DAC_BLK : come si vede tali limiti sono ampiamente rispettati [26].

Tutti i circuiti operativi appena descritti sono controllati dalle sette macchine a stati finiti progettate in codifica *One Hot*¹⁰ presenti nel blocco *LOGIC*. Ognuna di essa è associata a uno dei sette comandi elencati in

⁹Nel progettare la LTCU si è deciso di fissare RNG a 0 in quanto l'intervallo di tensioni che i DAC riescono a erogare in uscita in questa configurazione è sufficiente per le soglie che si vogliono impostare.

¹⁰A ogni stato della macchina è associato un flip-flop. Questo permette di ridurre notevolmente la logica combinatoria tra i vari stati aumentando così la massima frequenza di clock.

| Simbolo | Parametro | Valore | |
|-----------------------------|---------------------------|---------------|---------------|
| | | Richiesto | Effettivo |
| $t_{su}(\text{DATA-CLK})$ | Tempo di setup DATA-CLK | ≥ 50 ns | 800 ns |
| $t_w(\text{CLK-DATA})$ | Tempo di hold CLK-DATA | ≥ 50 ns | 800 ns |
| $t_{su}(\text{CLK-L_DAC})$ | Tempo di setup CLK-L_DAC | ≥ 50 ns | 100 ns |
| $t_w(\text{L_DAC})$ | Durata dell'impulso L_DAC | ≥ 250 ns | 300 ns |
| $t_{su}(\text{L_DAC-CLK})$ | Tempo di setup L_DAC-CLK | ≥ 50 ns | ≥ 100 ns |
| f_{CLK} | Frequenza di clock | ≤ 1 MHz | 625 kHz |

Tabella 4.9: Tempi di setup e di hold per la trasmissione seriale richiesti dalle specifiche del DAC TLC5628C e dati dal blocco *DAC_BLK*.

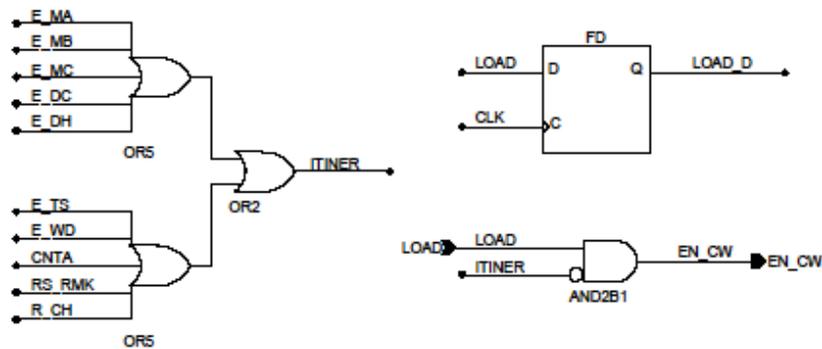


Figura 4.13: Schematico del circuito di controllo della codifica della control word.

tabella 4.2 e quindi alla rispettiva parte operativa a cui è affidato lo svolgimento delle operazioni. Di seguito verranno approfonditamente descritti solo il circuito di controllo del blocco di codifica della control word e la macchina a stati che sottende alla generazione dei segnali per i DAC, delle altre verranno descritte solo le differenze da quest'ultima.

In figura 4.13 è rappresentato lo schematico del circuito che controlla la codifica della control word. I segnali d'ingresso sono *LOAD* e *ITINER* mentre le uscite sono *LOAD_D* e *EN_CW*. Come abbiamo visto *LOAD* è presente ogni qual volta è avvenuta la registrazione di 8 bit, mentre *ITINER* è dato dall'OR dei segnali: *E_MA*, *E_MB*, *E_MD*, *E_DC*, *E_DH*, *E_TS*, *E_WD*, *CNTA*, *RS_RMK*, *R_CH*. Questi segnali vengono generati dalle

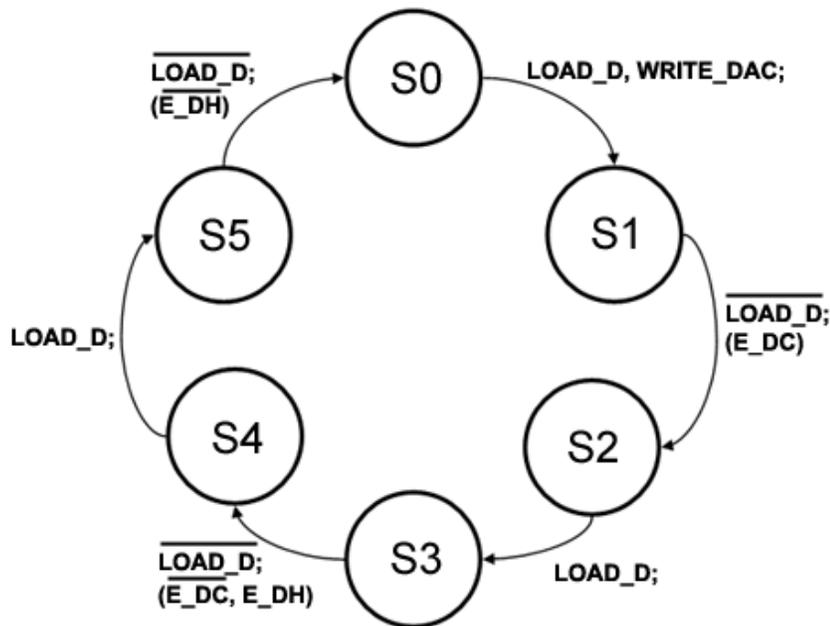


Figura 4.14: Nella figura è mostrato il diagramma a bolle dell'automa a stati finiti che costituisce la parte di controllo per le operazioni d'impostazione delle tensioni nei DAC. Accanto ad ogni transizione sono indicate le variazioni dei segnali d'ingressi e di uscite (in parentesi) che provocano il passaggio tra gli stati omettendo quelli che restano invariati.

macchine a stati che gestiscono operazioni nelle quali sono coinvolti più byte da ricevere e trasmettere. Alla ricezione di una control word, *ITINER* è uguale a 0 in quanto tutte le macchine sono nello stato iniziale mentre *LOAD* è uguale a 1: viene generato il segnale *EN_CW* che abilita la parte operativa che decodifica la control word e, dopo un colpo di clock, il segnale *LOAD_D* che abilita il funzionamento di tutte le macchine a stati finiti. Il segnale *EN_CW* non viene più generato se *ITINER* viene posto al livello logico alto, in modo da evitare l'interpretazione come control word di un dato di diversa natura.

Un esempio delle macchine a stati implementate è quella che controlla le operazioni per il comando **Write_DAC** il cui diagramma a bolle è rappresentato in figura 4.14. Gli ingressi sono: *LOAD_D* e *WRITE_DAC*; le uscite *E_DC* e *E_DH* che generano i segnali *EN_DAC_D* e *EN_DAC_CH* che, come si è visto, abilitano i registri della parte operativa *DAC_BLK* che

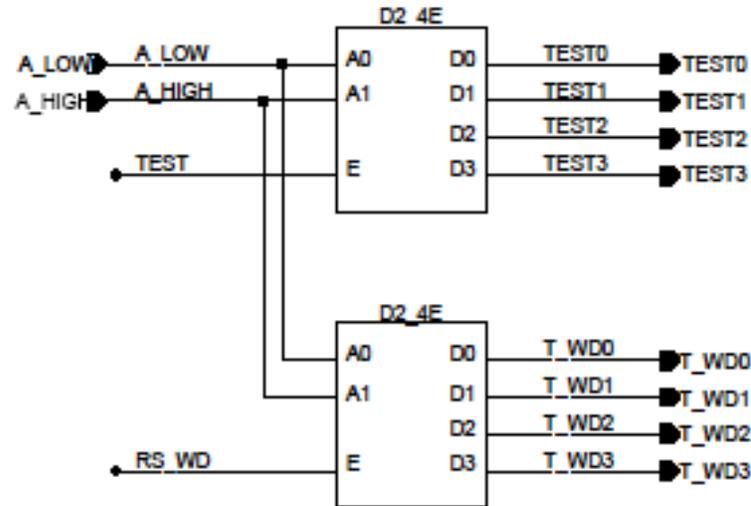


Figura 4.15: Schematico dei multiplexer per la selezione delle finestre temporali e dei canali da testare.

a sua volta governa la comunicazione coi DAC.

Una volta decodificata la control word la linea *WRITE_DAC* viene posta all'uno logico: la prima transizione $L \rightarrow H$ su *LOAD_D* fa passare la macchina dallo stato iniziale S_0 allo stato successivo S_1 lasciando invariate le uscite. Al colpo di clock successivo *LOAD_D* ritornerà al livello logico basso provocando la transizione nello stato S_2 e ponendo l'uscita *E_DC* a H. L'automa rimarrà in questo stato fino al prossimo fronte di salita del segnale *LOAD_D* che lo farà transire allo stato S_3 . Come prima, il successivo colpo di clock provocherà la transizione nello stato S_4 mentre le uscite saranno $E_{DC} = L$ e $E_{DH} = H$. Una nuova transizione $L \rightarrow H$ del segnale *LOAD_D* provocherà la transizione nello stato successivo (S_5) mentre la successiva transizione $H \rightarrow L$ riporterà l'automa nello stato iniziale.

Le rimanenti macchine a stati finiti che controllano le operazioni necessarie per eseguire gli altri comandi sono del tutto simili a quella appena descritta tranne per il numero di stati, come riassunto nella tabella 4.10. Leggermente differenti sono gli automi che gestiscono i comandi **Test_P** e **T_Win**. Per questi comandi solo i 6 bit più significativi della control word sono fissati mentre i rimanenti 2 bit sono utilizzati per selezionare rispettiva-

| Comando | Numero di byte | Numero di stati |
|------------------|----------------|-----------------|
| <i>Write_Mk</i> | 4 | 8 |
| <i>Read_Mk</i> | 1 | 2 |
| <i>Write_DAC</i> | 3 | 6 |
| <i>T_Win</i> | 1 | 2 |
| <i>Read_Cnt</i> | 2 | 4 |
| <i>Test_P</i> | 1 | 2 |
| <i>Read_Ch</i> | 2 | 4 |

Tabella 4.10: Numero di byte da registrare compresa la control word e i corrispondenti stati delle macchine di controllo per ogni comando.

mente uno dei quattro gruppi di canali da testare e una della quattro finestre temporali in cui eseguire i conteggi degli *HIT*. La decodifica di questi 2 segnali è affidata ai due demultiplexer $2X4$ in figura 4.15. Ognuno è associato in modo univoco a una delle due operazioni in questione, per cui risulterà abilitato solo quello associato alla macchina corrispondente.

4.3.2 Il formatore *DEGLITCH*

Per permettere il corretto funzionamento dell'algoritmo di conteggio, come vedremo in seguito, il segnale che deve essere contato deve avere una durata di dieci colpi di clock, ovvero di $1 \mu s$.

Il blocco di logica *DEGLITCH* si occupa quindi di formare i segnali del bus $D[17 : 0]$ generando il bus di uscita $HHW[17 : 0]$ che a sua volta costituisce l'ingresso del blocco $18X8CNT$. Questi segnali vengono utilizzati per contare gli *HIT*, mentre per generare le proposte di trigger vengono utilizzate le linee $HW[17 : 0]$.

DEGLITCH si compone di 18 blocchi *ONE_DEGLITCH*, uno per ingresso, e forma il segnale nel seguente modo:

1. riconosce la prima transizione $L \rightarrow H$ in ingresso (in assenza di segnale le linee del bus $D[17 : 0]$ sono al livello logico 0);
2. sincronizza il segnale al clock di piastra e genera il segnale di uscita;

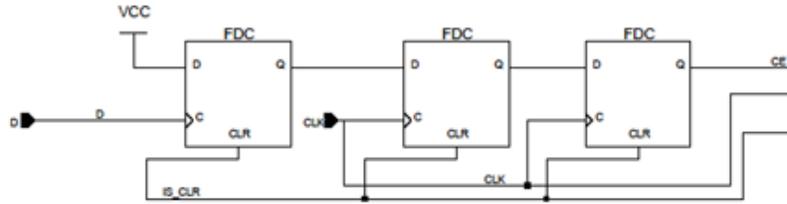


Figura 4.16: Schematico del rivelatore di transizione $L \rightarrow H$ (*edge-detector*) seguito dal doppio stato di sincronizzazione.

3. conta 10 colpi di clock e successivamente porta a zero l'uscita;
4. attende una nuova transizione in ingresso.

Bisogna sottolineare che la logica disegnata è basata su di un *edge-detector* (figura 4.16) ovvero è sensibile unicamente alle transizioni, nel caso specifico quelle $L \rightarrow H$. In questo modo i segnali in ingresso con una durata maggiore di un $1 \mu s$ verranno “tagliati” in quanto non provocheranno una nuova ripartenza del conteggio.

I segnali di ingresso, invece, vengono mascherati tramite 18 porte AND sfruttando la presenza del dato sul bus $MK[17 : 0]$ come descritto precedentemente.

4.3.3 Il contatore degli HIT 18X8CNT

Visto l'elevato numero di ingressi sul quale eseguire i conteggi, l'utilizzo di contatori sincroni *look-ahead*, ovvero con propagazione del riporto in parallelo, avrebbe come conseguenza un elevato utilizzo delle risorse della FPGA. Infatti, volendo eseguire il conteggio a 8 bit, la sola operazione di conteggio occuperebbe $18 \times 8 = 144$ flip-flop, ovvero il 6% delle risorse totali a disposizione per la logica da implementare.

Per ovviare a questo alto consumo di risorse si è progettato un algoritmo di conteggio che sfruttasse la RAM interna della FPGA per immagazzinare il valore in modo da diminuire al massimo il numero di flip-flop interessati.

La logica dell'algoritmo è la seguente:

1. se $T_W = 1$ inizializza tutte le locazioni di memoria;

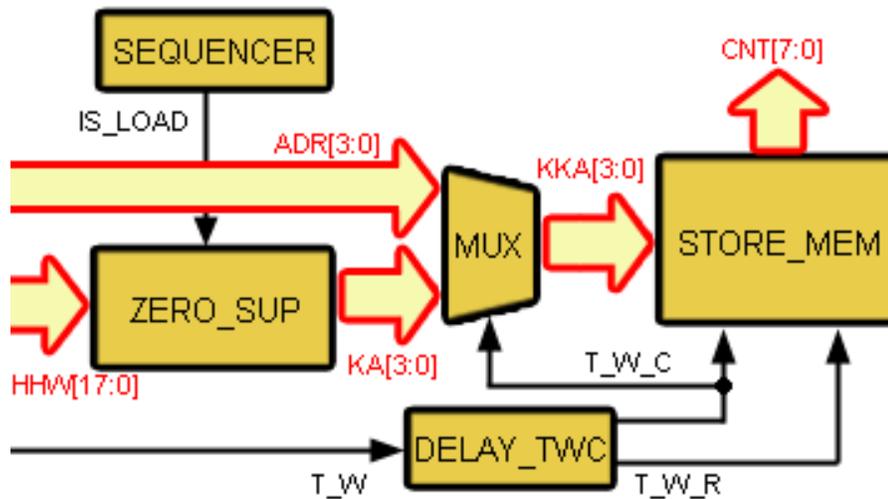


Figura 4.17: Schema a blocchi di una delle due parti identiche che compongono $18X8CNT$.

2. genera il segnale T_W_C ;
3. memorizza il valore dei dati sul bus $HHW[17 : 0]$ nel registro interno;
4. per ogni flip-flop allo stato H genera l'indirizzo di memoria associato;
5. somma 1 al contenuto della locazione individuata dall'indirizzo precedentemente generato;
6. abilita la memoria in scrittura e aggiorna il contenuto della locazione;
7. se $T_W_C = 1$ ricomincia il ciclo dal punto 3. altrimenti ritorna allo stato iniziale.

Per compiere queste operazioni la logica che implementa l'algoritmo impiega solo un flip-flop per canale (vedi figura 4.18), ovvero si ha un risparmio dell'88% delle risorse rispetto all'utilizzo dei contatori.

Il blocco $18X8CNT$ si compone di due parti identiche ognuna delle quali si occupa di contare e memorizzare nove dei diciotto canali di ingresso. Lo schema a blocchi in figura 4.17, a cui si farà riferimento nella descrizione seguente, mostra una sola delle due parti.

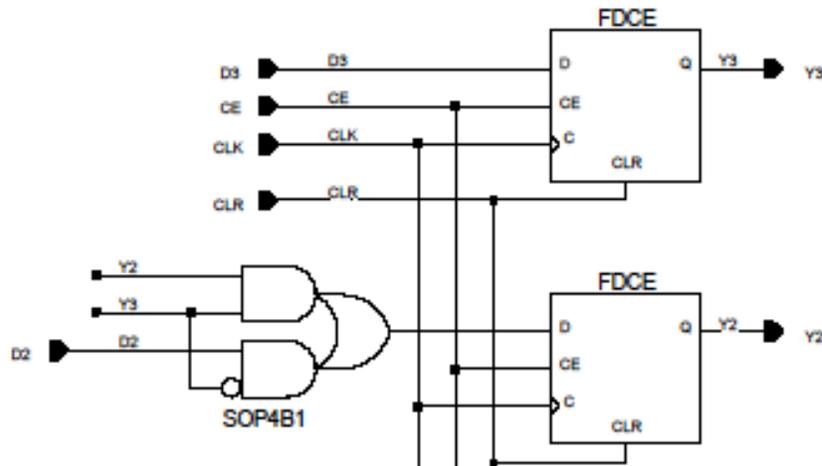


Figura 4.18: Particolare dello schematico del circuito di generazione degli indirizzi contenuto nel blocco *ZERO_SUP*. A seconda del valore contenuto nel flip-flop viene generato o no l'indirizzo di memoria corrispondente.

- Il blocco *DELAY_TWC* riceve il segnale di esecuzione del conteggio *T_W*. Come detto precedentemente questa linea rimane alta per un tempo pari alla finestra temporale in cui si vuole eseguire il conteggio. Inoltre sul fronte di salita di tale segnale genera il segnale di *reset* della memoria *T_W_R*. L'uscita *T_W_C* non è altro che l'ingresso ritardato di 10 colpi di clock, ovvero del tempo necessario per inizializzare tutte le locazioni di memoria.
- Il blocco *SEQUENCER* genera l'impulso *IS_LOAD* della durata di 100 ns ogni nove colpi di clock. Questo segnale di sincronizzazione abilita la registrazione del dato sul bus di ingresso per la generazione dell'indirizzo.
- *ZERO_SUP* riceve in ingresso il bus *HHW[8 : 0]* e il segnale di sincronizzazione *IS_LOAD*. Quando quest'ultima linea è alta all'ingresso del registro interno è presentato il contenuto del bus di ingresso, altrimenti tutti gli ingressi sono allo stato L. Il componente valuta il contenuto dei nove flip-flop che costituiscono il registro dal bit più significativo che si trova allo stato logico H a quello meno significativo. Generato l'indirizzo corrispondente al primo 1 trovato, abilita in scrittura uni-

camente il flip-flop in questione in modo che registri uno 0 logico e passa alla generazione dell'indirizzo corrispondente al prossimo 1. Esso prosegue nello stesso modo fino a che l'intero registro non è allo stato logico basso. La logica che esegue la scansione del registro è mostrata in figura 4.18. Durante la procedura di generazione degli indirizzi il segnale di *INCR* viene posto al livello logico alto in modo da abilitare, come vedremo, l'incremento del valore in memoria. Nel caso peggiore, ovvero alla presenza di un 1 in ogni elemento del registro, il tempo impiegato per generare tutti gli indirizzi è pari a 9 colpi di clock: questo è il motivo per cui i segnali in ingresso sono formati a 10 colpi di clock.

- *STORE_MEM* contiene al suo interno il blocco di memoria RAM a 8 bit, il sommatore che incrementa il valore della locazione indirizzata e la logica di reset della memoria. Riceve in ingresso i segnali di abilitazione: *WR_0*, *INCR*, *T_W_R* e *T_W_C* che rispettivamente abilitano la scrittura in memoria, comunicano la generazione degli indirizzi da parte di *ZERO_SUP*, abilitano il reset delle locazioni, abilitano il sommatore per l'incremento della valore della locazione di memoria. Inoltre riceve sul bus di ingresso *KK_A[3 : 0]* o gli indirizzi generati da *ZERO_SUP* (durante la fase di conteggio) o quelli provenienti dall'interfaccia *232_INTF* (durante la fase di lettura). Durante la fase di conteggio riceve prima l'abilitazione in scrittura e successivamente il segnale *T_W_R*. Quest'ultimo abilita un contatore che genera gli indirizzi di tutte le locazioni di memoria forzando il bus d'ingresso dati della RAM a livello logico basso. Il tempo impiegato per inizializzare tutta la memoria è pari ad nove colpi di clock e questo è il motivo per cui il blocco *DELAY_TWC* ritarda il segnale di conteggio di 10 colpi di clock. Dopo l'inizializzazione, l'ingresso e l'uscita dati della RAM saranno connesse rispettivamente all'uscita del sommatore e all'ingresso del sommatore, mentre il bus degli indirizzi riceverà il valore presente su *KK_A[3 : 0]*. Ogni indirizzo generato produrrà all'ingresso del sommatore il valore della locazione che verrà incrementato di uno e memorizzato al primo colpo di clock utile. Durante la fase di lettura,

invece, si ha $WR_0 = 1$, $INCR = 0$, $TWR = 0$ e $TWC = 0$, per cui sono disabilitate la scrittura in memoria e il sommatore per l'incremento. Inoltre il bus d'indirizzo conterrà la locazione scelta tramite il protocollo RS232 e quindi in uscita verrà semplicemente presentato il valore contenuto nella locazione corrispondente all'indirizzo.

4.3.4 Il generatore di trigger *FOR_BLK* e il multiplexer *18X1_MUX*

Come detto si è scelto di realizzare il prototipo della LTCU nel caso di una configurazione del sistema di trigger a 80 pixel, ovvero di generare solo due segnali di uscita, ognuno come OR logico di nove segnali discriminati.

Il blocco *FOR_BLK* riceve in ingresso il bus $HW[17 : 0]$ che come abbiamo visto costituisce l'uscita del blocco di maschera e attraverso due OR a nove ingressi genera l'uscita di trigger *FOR_L* dai segnali $HW[8 : 0]$ e *FOR_M* da $HW[17 : 9]$.

Il blocco *18X1_MUX*, invece, contiene un multiplexer a diciotto ingressi, una uscita e sette linee di indirizzo. Riceve in ingresso il bus $D[17 : 0]$, ovvero i segnali di ingresso nella FPGA, e gli indirizzi di selezione del canale $CHR[7 : 0]$ generati dall'interfaccia *232_INTF* nel modo spiegato in precedenza. In questo modo si rendono accessibili le uscite dei comparatori sul pannello frontale della scheda.

4.4 Occupazione delle risorse e analisi delle prestazioni in frequenza della FPGA

La logica implementata nella FPGA permette di eseguire le operazioni base per il funzionamento del prototipo della LTCU. Con lo sviluppo della versione definitiva e l'effettivo utilizzo della scheda potrebbe essere necessario apportare delle modifiche o aggiungere delle funzionalità. Per tale motivo, un obiettivo non secondario nello sviluppo della logica digitale di gestione del prototipo è stato quello di occupare la minore parte possibile delle risorse messe a disposizione dalla SPARTAN 2 utilizzata.

```

13: Design Summary
14: -----
15:   Number of errors:          0
16:   Number of warnings:       0
17:   Number of Slices:          436 out of 1,200   36%
18:   Number of Slices containing
19:     unrelated logic:         0 out of 436     0%
20:   Number of Slice Flip Flops: 444 out of 2,400   18%
21:   Total Number 4 input LUTs: 528 out of 2,400   22%
22:     Number used as LUTs:      512
23:     Number used as 16x1 RAMs: 16
24:   Number of bonded IOBs:     57 out of 140   40%
25:   Number of Thubs:           52 out of 1,280   4%
26:   Number of GCLKs:           1 out of 4     25%
27:   Number of GCLKIOBs:        1 out of 4     25%
28:   Number of RPM macros:       4
29: Total equivalent gate count for design: 8,963
30: Additional JTAG gate count for IOBs: 2,784

```

Figura 4.19: Dati relativi all'utilizzazione delle risorse della XILINX SPARTAN 2 forniti dal tool di sintesi.

In figura 4.19 si può vedere la tabella automaticamente generata dal *tool* di sintesi che reca le informazioni circa l'utilizzazione delle risorse impiegate rispetto a quelle disponibili, mentre la figura 4.21 mostra la schematizzazione del chip con le risorse logiche, di I/O e di interconnessione utilizzate. Risultano utilizzati il 36% dei blocchi di logica combinatoria (*CLB*), il 18% dei flip-flop contenuti nelle *CLB* e il 40% dei blocchi di *input-output (IOB)*.

Si sono inoltre valutate le prestazioni in frequenza raggiungibili dalla logica implementata. Tale valutazione viene effettuata attraverso *l'analisi statica* dei tempi di propagazione dei segnali interni e dei segnali di I/O.

Questa analisi consiste nel valutare i ritardi dovuti alla logica combinatoria e alle connessioni tra tutti i flip-flop in modo da ricavare la massima frequenza di clock utilizzabile per cui sia garantito il funzionamento del dispositivo,

$$f_{max} = \frac{1}{(T_{cko} + T_{su} + T_{log}^{max})} \quad (4.6)$$

Nella relazione 4.6, T_{cko} è il ritardo *clock to output*, ovvero il ritardo dell'uscita dei flip-flop rispetto al fronte attivo del clock, ed è pari a 1.292 ns, $T_{su} =$

0.792 ns è il tempo di *setup* di un flip-flop delle FPGA¹¹, ovvero il tempo entro il quale il dato deve essere stabile in ingresso, mentre T_{log}^{max} è il massimo ritardo introdotto dalla logica implementata [30].

In figura 4.20 sono riportate le informazioni sul ritardo di attraversamento del blocco di logica tra uno dei flip-flop contenuti nel blocco *ZERO_SUP* e uno dei flip-flop che costituiscono la memoria RAM interna (blocco *STORE_MEM*) ossia del percorso che introduce il massimo ritardo di propagazione del segnale in tutta la logica implementata, per cui $T_{log}^{max} = 19.940$ ns.

Si ricava quindi dalla relazione 4.6 che la frequenza massima di funzionamento del dispositivo si attesta a 45.405 MHz ed essendo il clock utilizzato a 10 MHz il funzionamento del circuito è ampiamente assicurato.

¹¹ T_{cko} e T_{su} sono caratteristiche della costruttive della XILINX SPARTAN 2 utilizzata.

```

=====
Timing constraint: Default period analysis for net CCK100

9780 items analyzed, 0 timing errors detected.
Minimum period is 22.024ns.
-----
Delay:                22.024ns (data path - negative clock skew)
Source:               H12/H18/H16/H14/\$I139
Destination:         H12/H18/H13/H13/\$I145
Data Path Delay:     22.024ns (Levels of Logic = 11)
Negative Clock Skew: 0.000ns
Source Clock:        CCK100 rising
Destination Clock:   CCK100 rising

Data Path: H12/H18/H16/H14/\$I139 to H12/H18/H13/H13/\$I145
-----
Delay type           Delay(ns)   Logical Resource(s)
-----
Tcko                 1.292      H12/H18/H16/H14/\$I139
net (fanout=9)       1.866      H12/H18/H16/Q6
Tilo                 0.653      H12/H18/H16/H16/\$I137/bound
net (fanout=3)       0.910      H12/H18/H16/H16/\$I137/1.0
Tilo                 0.653      H12/H18/H16/H16/\$I132
net (fanout=1)       1.000      H12/H18/H16/H16/IS\_4\_3
Tilo                 0.653      H12/H18/H16/H16/\$I127
net (fanout=1)       2.122      H12/H18/KA0
Tio                  0.000      H12/H18/\$I127/\$1I40
net (fanout=1)       2.975      H12/H18/KKA0
Tilo                 0.653      H12/H18/H13/\$I212/\$1I8
net (fanout=8)       1.218      H12/H18/H13/AADR0
Tilo                 0.653      H12/H18/H13/H13/\$I128
net (fanout=2)       1.713      H12/H18/YA0
Topcyf              1.486      H12/H18/H13/\$I126/\$1I228
                   H12/H18/H13/\$I126/\$1I111
                   H12/H18/H13/\$I126/\$1I55
net (fanout=1)       0.000      H12/H18/H13/\$I126/\$1I55/O
Tcinx                0.463      H12/H18/H13/\$I126/\$1I76
net (fanout=1)       1.393      H12/H18/H13/S2
Tilo                 0.653      H12/H18/H13/\$I191
net (fanout=1)       0.876      H12/H18/H13/SG2
Tds                  0.792      H12/H18/YA0.DGEN
                   H12/H18/H13/H13/\$I145
-----
Total                 22.024ns  (7.951ns logic, 14.073ns route)
                   (36.1% logic, 63.9% route)

```

Figura 4.20: Dati relativi al massimo ritardo tra due flip-flop della logica implementata nella XILINX SPARTAN 2 forniti dall'analisi statica. Il massimo ritardo si raggiunge tra i flip-flop del blocco *R_4* e quelli del blocco *MEMORY*.

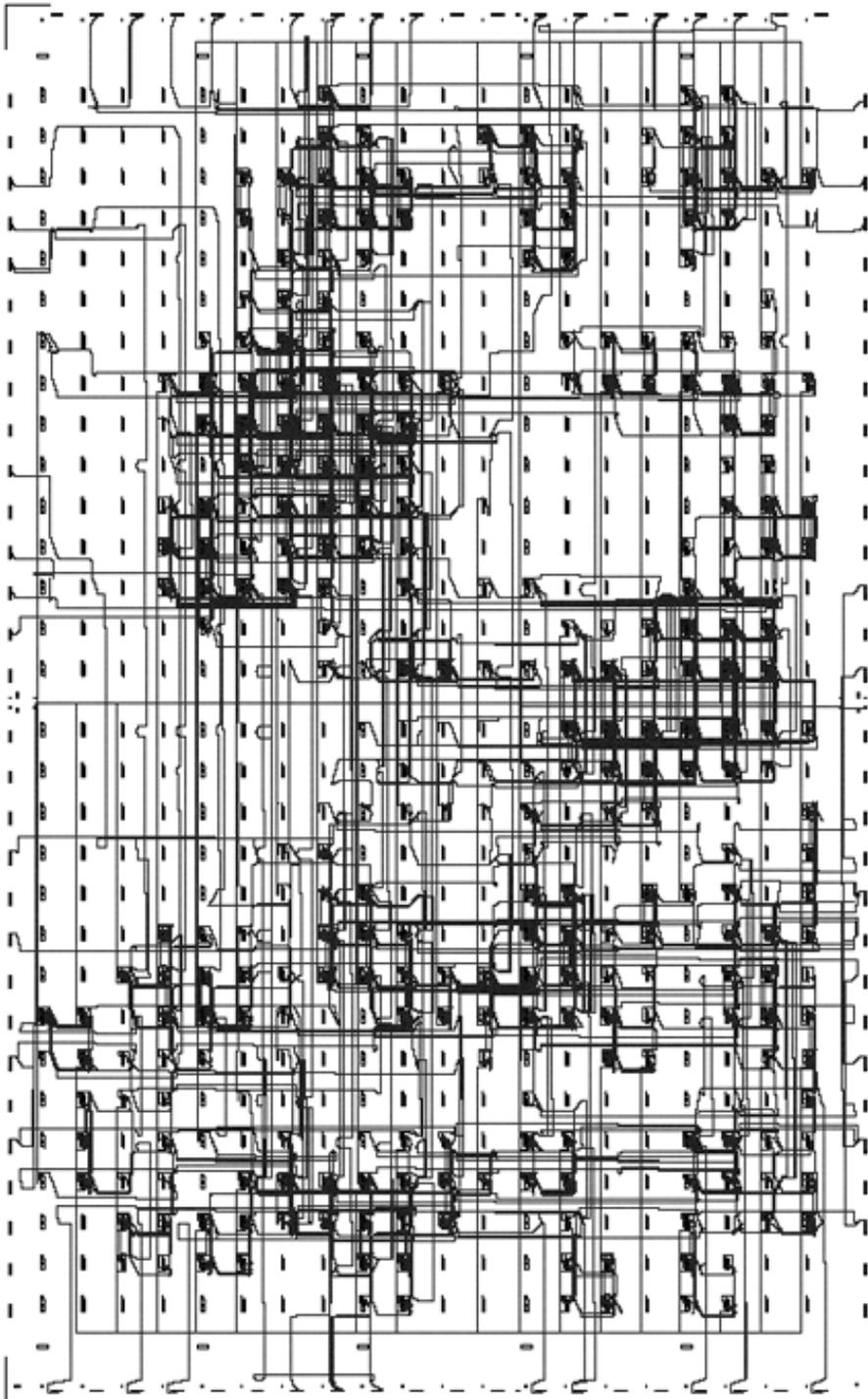


Figura 4.21: *Layout* della FPGA in cui sono evidenziati le CLB, le interconnessioni e gli IOB interessati dalla logica implementata.

Capitolo 5

Il software di gestione e il collaudo della LTCU

Il prototipo della Local Trigger Controll Unit è stato progettato per essere un dispositivo completamente pilotabile e configurabile da remoto. Nella versione realizzata, esso utilizza il protocollo standard RS232 che lo rende interfacciabile in modo immediato con un comune personal computer in commercio.

I comuni programmi di comunicazione su porta seriale, però, non permettono di automatizzare le procedure per il collaudo, per cui parte integrante di questo lavoro di tesi è stata la realizzazione di un software specifico che dialogasse con la scheda. Nel seguito verrà analizzato il funzionamento del software sviluppato e successivamente illustrati e commentati i risultati ottenuti dal collaudo.

Bisogna tuttavia sottolineare che, in futuro, l'interfaccia RS232 verrà utilizzata solo per il collaudo e il *debug* di una singola scheda ma non per pilotare durante l'acquisizione le 80 LTCU che costituiranno il primo livello di trigger. Per questa operazione, infatti, verrà utilizzata l'interfaccia dedicata presente sul pannello frontale della scheda a cui si è accennato nel paragrafo 4.1. Tutte le LTCU dialogheranno tramite un protocollo opportuno con una scheda *driver* interfacciata a sua volta sul bus VME in modo da permettere al sistema di acquisizione e al Trigger Supervisor di controllare il primo livello di trigger.

Questa funzionalità non è stata implementata nel prototipo in quanto essa

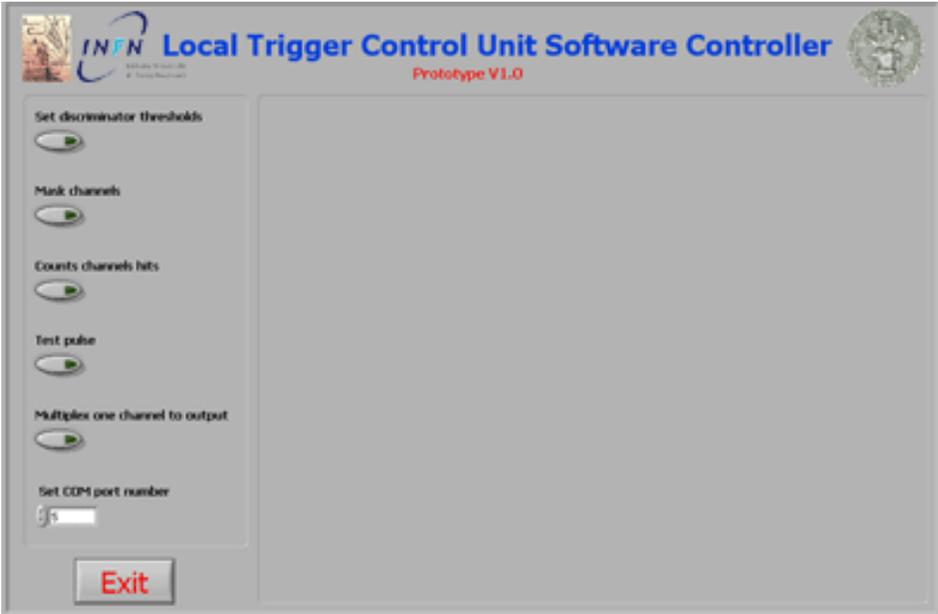
non rappresenta una esigenza fondamentale nella prima fase dello sviluppo della struttura della Local Trigger Control Unit, ma costituirà una parte essenziale dell'intero sistema di trigger.

5.1 Il software di controllo

Ogni funzionalità della LTCU è individuata, come si è descritto in precedenza, da un comando a cui è associato in modo univoco un particolare byte. A seconda di quale byte di controllo la scheda riceve tramite l'interfaccia RS232, essa attende che le siano trasmessi un determinato numero di byte, che varia a seconda dell'operazione scelta come sintetizzato nelle tabelle 4.2 e 4.3.

Una volta ricevuto l'intero numero di byte attesi la scheda esegue l'operazione richiesta che può prevedere o no l'invio di una risposta tramite lo stesso protocollo. Alle control word, al numero di byte da trasmettere e al loro significato si è dedicato ampio spazio nel capitolo 4, qui di seguito verranno riassunti solo i comandi e il loro significato. Le trasmissioni possibili sono dunque le seguenti:

- **Write_DAC** comanda ad uno dei canali dei DAC di portare la tensione di soglia del comparatore ad esso associato al valore comunicato;
- **Write_Mk** abilita e disabilita i diciotto canali d'ingresso da tutte le operazioni della scheda;
- **Read_Mk** legge lo stato delle maschere, ovvero la scheda trasmette lo stato di abilitazione di tutti i canali;
- **T_Win** esegue il conteggio degli HIT su tutti i canali nella finestra temporale selezionata tra 1s, 2s, 4s e 8s e lo memorizza nella memoria RAM;
- **Read_Cnt** restituisce il numero dei conteggi conservato in memoria per il canale selezionato;

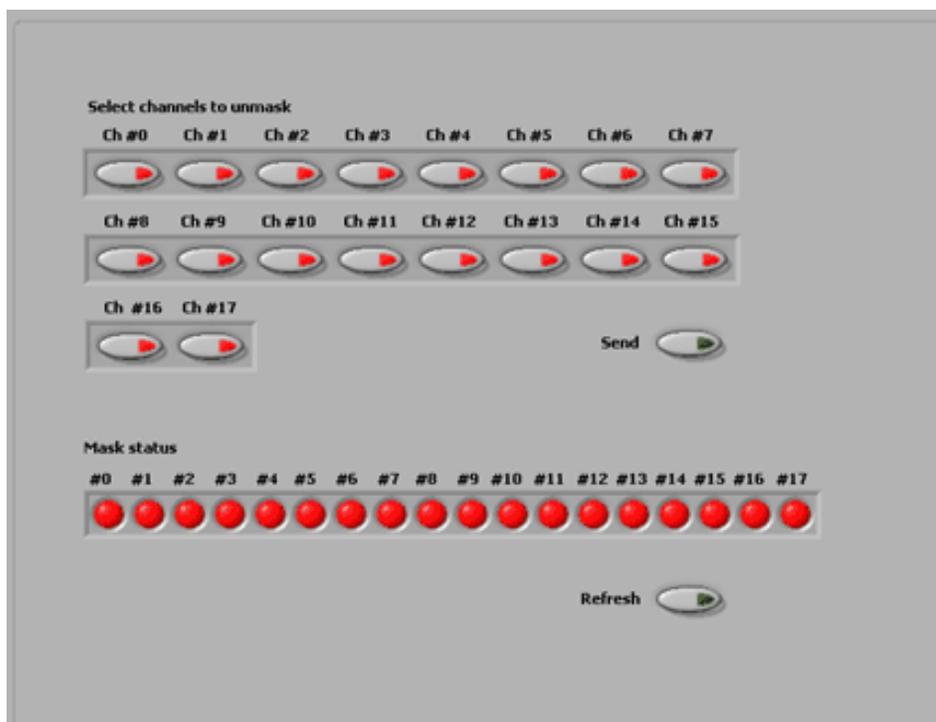


(a) Il software di controllo della LTCU

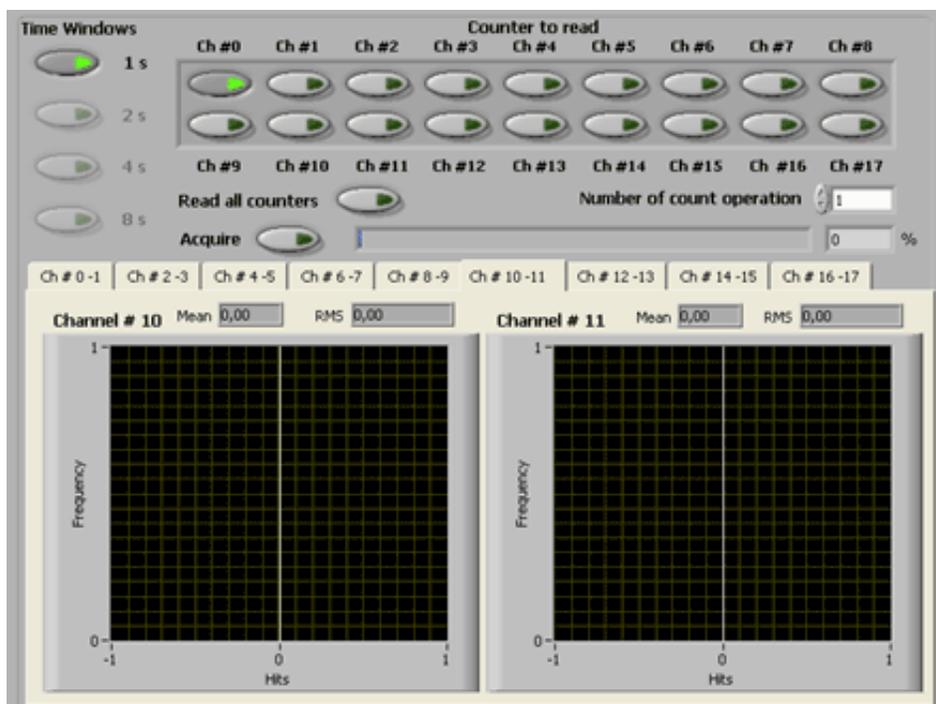


(b) Impostazione della tensione di soglia

Figura 5.1: In (a): pannello principale del software di controllo della LTCU. In (b): pannello per l'impostazione delle tensioni di soglia.



(a) Impostazione e lettura delle maschere



(b) Conteggio degli impulsi in ingresso

Figura 5.2: In (a): pannello per la scrittura e la lettura delle maschere: l'immagine mostra come all'accensione tutti gli ingressi risultino disabilitati. In (b): pannello per l'esecuzione dei conteggi degli impulsi in ingresso e la lettura dei contatori: l'immagine mostra la selezione della finestra temporale di 1 s e dell'ingresso numero 0.

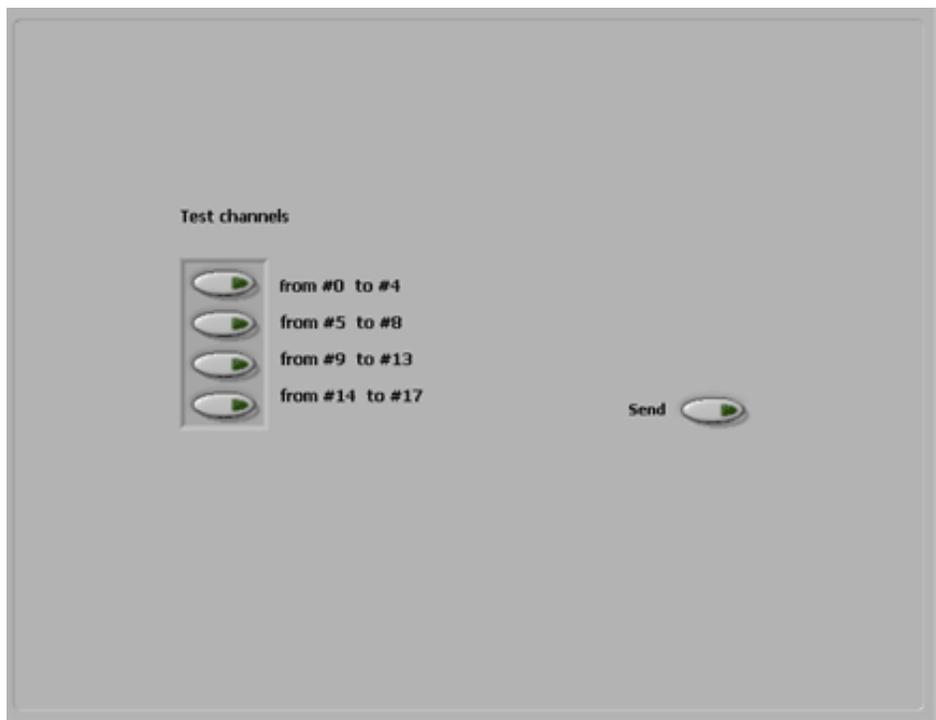
- **Test_P** da un impulso di test all'ingresso del gruppo di comparatori selezionato;
- **Read_Ch** pone sul pannello frontale della scheda l'uscita del comparatore selezionato.

Il software di gestione del prototipo della Local Trigger Control Unit è stato sviluppato utilizzando il software applicativo *Labview*[®] della National Instruments[®] e permette di eseguire le operazioni appena elencate in modo automatico. In figura 5.1(a) è mostrata l'interfaccia utente del software. Una volta selezionato il numero della porta COM sulla quale si desidera comunicare con la scheda basterà selezionare uno dei tasti di controllo sulla sinistra del pannello principale per accedere al pannello relativo al comando che si vuole eseguire.

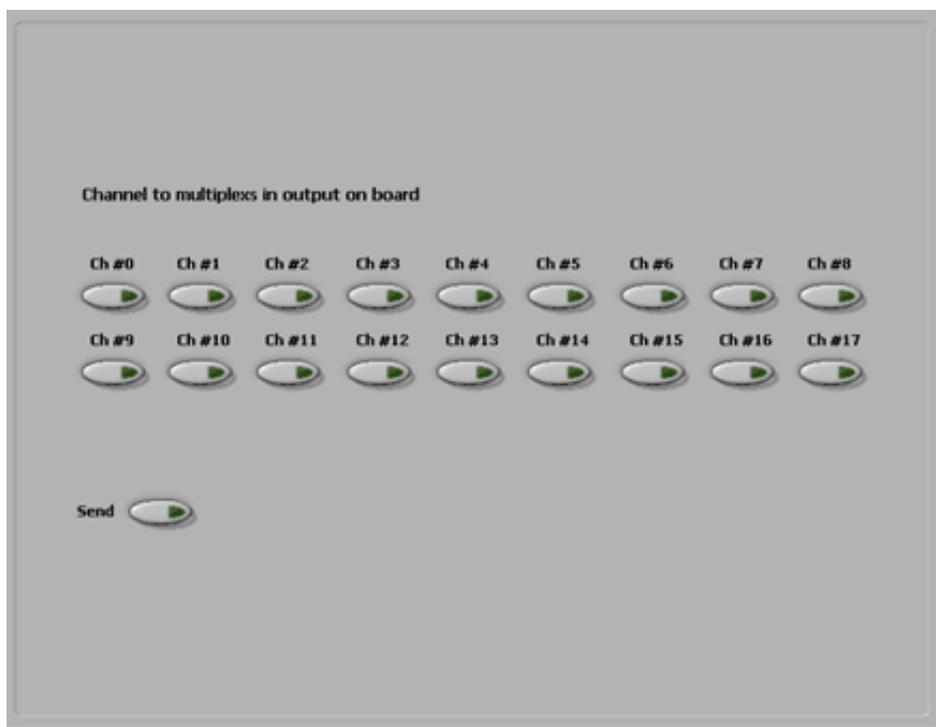
Al comando **Write_DAC** è associato il pannello in figura 5.1(b). A ognuna della diciotto soglie sono associati un tasto di abilitazione e un controllo digitale che permette d'inserire la tensione da impostare in millivolt. La pressione del tasto *Send* avvia la procedura d'invio dei dati per i soli canali abilitati, ovvero verranno generate tante comunicazioni (nello specifico la control word seguita dai due byte di dati) in sequenza quanti sono i canali da modificare. È possibile inoltre impostare tutti i dati contemporaneamente alla stessa tensione di riferimento: in questo caso il programma provvederà a generare diciotto comunicazioni.

In figura 5.2(a) è rappresentato il pannello relativo all'impostazione e alla lettura delle maschere (comandi **Write_Mk** e **Read_Mk**). All'accensione della scheda tutti gli ingressi sono disabilitati e dunque, l'utente deve selezionare i canali da abilitare. Come in precedenza, la pressione del tasto *Send* genera in sequenza tutte le trasmissioni necessarie. Per quanto riguarda la lettura dello stato, la pressione del tasto *Refresh* invierà il comando di lettura **Read_Mk** alla LTCU la quale risponderà inviando lo stato delle maschere. Il programma, quindi, provvederà a decodificare la risposta rappresentando gli ingressi abilitati con una luce verde e quelli disabilitati con una luce rossa.

I comandi **T_Win** e **Read_Cnt** sono gestiti dal pannello in figura 5.2(b).



(a) Distribuzione dell'impulso di test



(b) Selezione del canale in uscita

Figura 5.3: In (a): pannello per la distribuzione del segnale di test: come si vede i comparatori da testare sono stati divisi in modo ordinato in quattro gruppi. In (b): pannello per la scelta del uscita dei comparatori da inviare sul pannello frontale della scheda.

Attraverso esso si può scegliere la finestra temporale nella quale eseguire i conteggi, i canali da leggere e il numero delle operazioni di conteggio. Alla pressione del tasto di acquisizione si genera il comando di **T_Win** e al termine della finestra temporale di acquisizione sono effettuate, una ad una, le trasmissioni per la lettura dei canali selezionati e memorizzate le risposte della scheda. Il processo è iterato per il numero di volte selezionato. Infine il programma provvede automaticamente alla generazione dell'istogramma dei conteggi e al calcolo della media e della deviazione standard canale per canale.

In questo modo è possibile verificare immediatamente, come vedremo, il funzionamento dell'algoritmo di conteggio implementato nella LTCU.

Infine le schermate in figura 5.3(a) e 5.3(b) permettono di selezionare i gruppi di comparatori ai quali inviare un impulso di test e l'uscita del comparatore da inviare al pannello frontale della scheda.

5.2 Il collaudo del prototipo

Il prototipo della Local Trigger Control Unit, le cui caratteristiche sono state descritte nel capitolo 4, è stato realizzato e collaudato presso il *Servizio Elettronica e Rivelatori* di Napoli.

Durante la fase di collaudo si sono eseguiti delle verifiche per controllare che la scheda funzioni come previsto in fase di progetto: la scheda è stata interfacciata verso un personal computer sul quale è stato installato il software di gestione descritto in precedenza, i segnali campione in ingresso sono stati generati da un generatore di segnali mentre le immagini riportate sono state ottenute con un oscilloscopio digitale.

I test eseguiti sono sostanzialmente di cinque tipi:

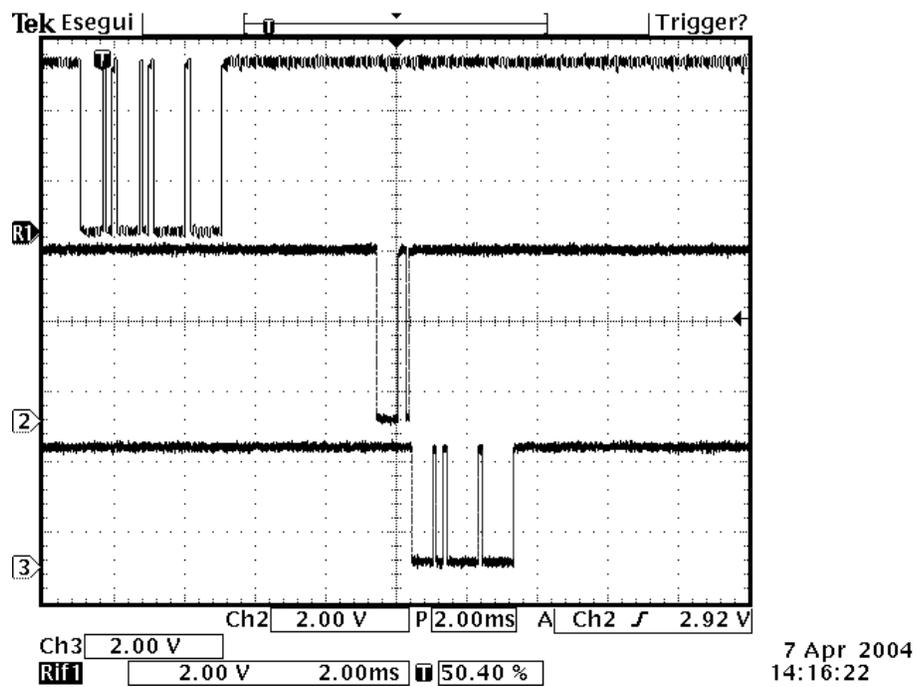
- **comunicazione:** è finalizzato al controllo del funzionamento dell'interfaccia seriale RS232 della LTCU. Per fare ciò si è dapprima inviato il comando **Write_Mk** abilitando dei canali d'ingresso: se al successivo comando **Read_Mk** di lettura la scheda trasmette al software lo stato corretto delle abilitazioni la comunicazione avviene con successo;

- **impostazione della soglia:** è finalizzato al controllo del funzionamento della comunicazione seriale della scheda con i DAC. Si è inviato il comando **Write_DAC** e controllato che la comunicazione generata dalla LTCU si svolgesse secondo il protocollo richiesto dalle specifiche del componente (vedi paragrafo 4.3.1);
- **impulsi di test:** è finalizzato alla verifica della generazione da parte della FPGA di impulsi di test in ingresso ai comparatori. Si è inviato il comando **Test_P** tramite il software di gestione della LTCU e si sono monitorate l'uscita di trigger e le uscite dei comparatori impulsati in modo da misurare il loro ritardo di commutazione;
- **generazione del trigger:** è finalizzato alla verifica della generazione di un segnale di trigger in uscita in corrispondenza di un ingresso impulsato con un segnale di ampiezza maggiore della soglia di riferimento. Si è monitorata l'uscita dei comparatori impulsati e si è misurato il tempo di generazione del trigger;
- **conteggio degli HIT:** è finalizzato alla verifica del corretto funzionamento dell'algoritmo di conteggio implementato nella FPGA. Si è quindi verificato che in corrispondenza di un segnale in ingresso di frequenza nota, al variare della finestra temporale, l'algoritmo registrasse sempre il numero di conteggi attesi.

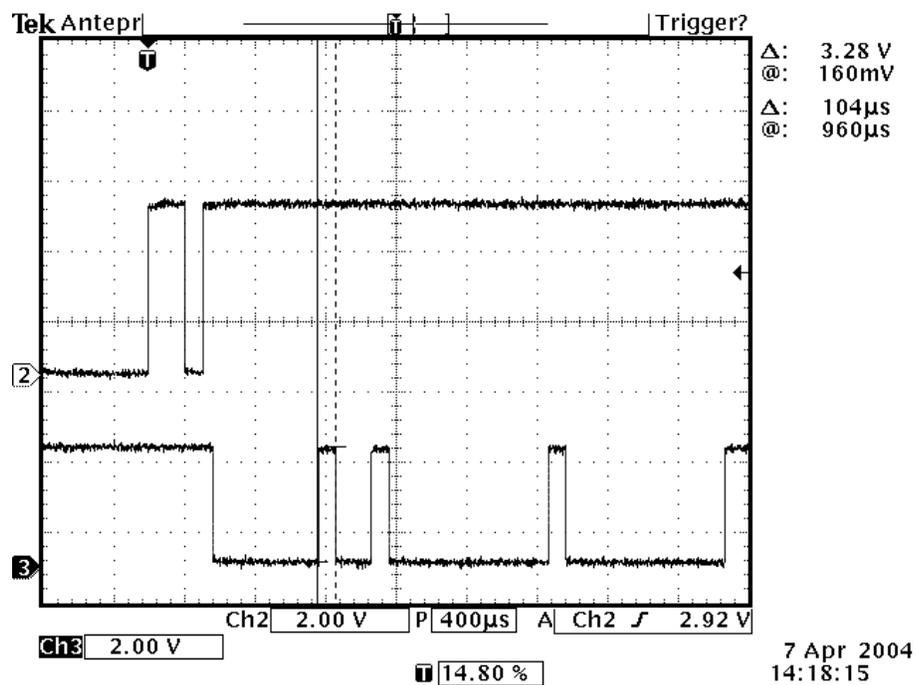
Di seguito verranno commentati, a titolo di esempio, alcuni specifici risultati ottenuti per ogni tipologia di test.

5.2.1 Test di comunicazione

Il test consiste nell'impostare le maschere e nel rileggerle in modo da controllare se la scheda restituisce il valore corretto. Esso è stato svolto per tutti i diciotto canali di ingresso ma nel seguito verrà descritto solo un caso specifico. Si sono disabilitati tutti gli ingressi tranne il numero 5 per cui la trasmissione si compone della control word seguita da tre byte di dati e quindi sarà [00000100], [00000100], [00000000], [00000000] avendo espresso i singoli



(a) Trasmissioni di scrittura e di lettura delle maschere.



(b) Particolare.

Figura 5.4: In (a): in alto è raffigurata la trasmissione di scrittura, al centro la richiesta di lettura e in basso la risposta della LTCU. In (b): particolare della risposta della LTCU alla richiesta di lettura delle maschere.

byte come trasmessi dal protocollo RS232, ovvero dal bit meno significativo a quello più significativo.

Subito dopo si è inviata la control word che individua il comando di lettura **Read_Mk** alla quale la scheda deve rispondere con tre byte che descrivono lo stato delle maschere.

In figura 5.4(a) è mostrata in alto la trasmissione di scrittura delle maschere. La forma d'onda al centro rappresenta invece la richiesta di lettura fatta dal software di controllo mentre in basso sono mostrati i tre byte di risposta della LTCU. Come si vede la scheda restituisce [00000100], [00000000], [00000000] ovvero il corretto stato delle maschere. Per poter rappresentare tutte e tre le trasmissioni in un'unica immagine in modo da permetterne il confronto si è memorizzata nella memoria dell'oscilloscopio la trasmissione di scrittura, per cui il tempo che intercorre tra la prima trasmissione e la seconda non è quello che si potrebbe dedurre dalla figura.

In figura 5.4(b) invece è mostrato l'ingrandimento della trasmissione eseguita dalla LTCU in cui si è misurata la durata dell'impulso in modo da verificare che esso avesse la durata di circa $100 \mu s$.

5.2.2 Impostazione della soglia

Questo prova consiste nell'inviare alla LTCU il comando di impostazione della soglia indirizzando un canale di uno dei DAC e nel verificare che la comunicazione seriale tra la FPGA e il DAC avvenga rispettando le specifiche imposte dal costruttore di quest'ultimo [26].

In figura 5.5 è mostrata l'intera trasmissione generata dalla FPGA per comunicare con i DAC. In alto è mostrato il segnale di clock seriale (segnale *CK_DAC*), al centro i dati seriali (segnale *D_DAC*) e in basso il segnale di aggiornamento della tensione in uscita (segnale *L_DAC*) che conclude la comunicazione. Dalla figura si possono ricavare la frequenza del clock generato e i tempi di setup e di hold dati: i marcatori verticali dell'oscilloscopio, infatti, sono posizionati su due transizioni consecutive $H \rightarrow L$ del clock seriale misurandone così il periodo che risulta pari a $\sim 1.6 \mu s$; come si può vedere, inoltre, il dato resta stabile prima e dopo la transizione per circa 800 ns.

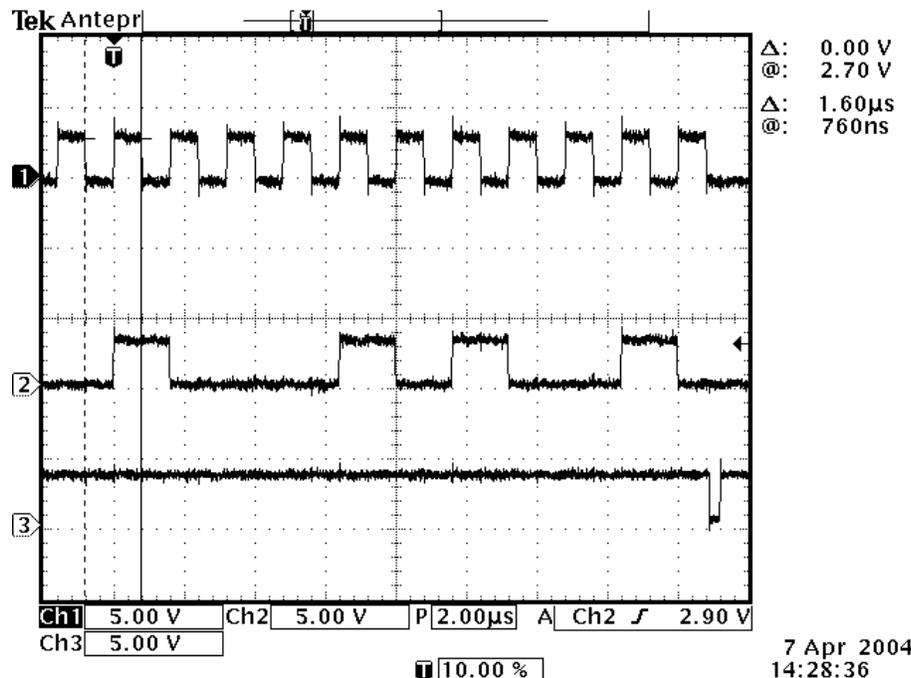


Figura 5.5: Trasmissione generata dalla LTCU per la comunicazione con i DAC. Sono mostrati, dall'alto verso il basso: il segnale di clock, i dati e il segnale di aggiornamento.

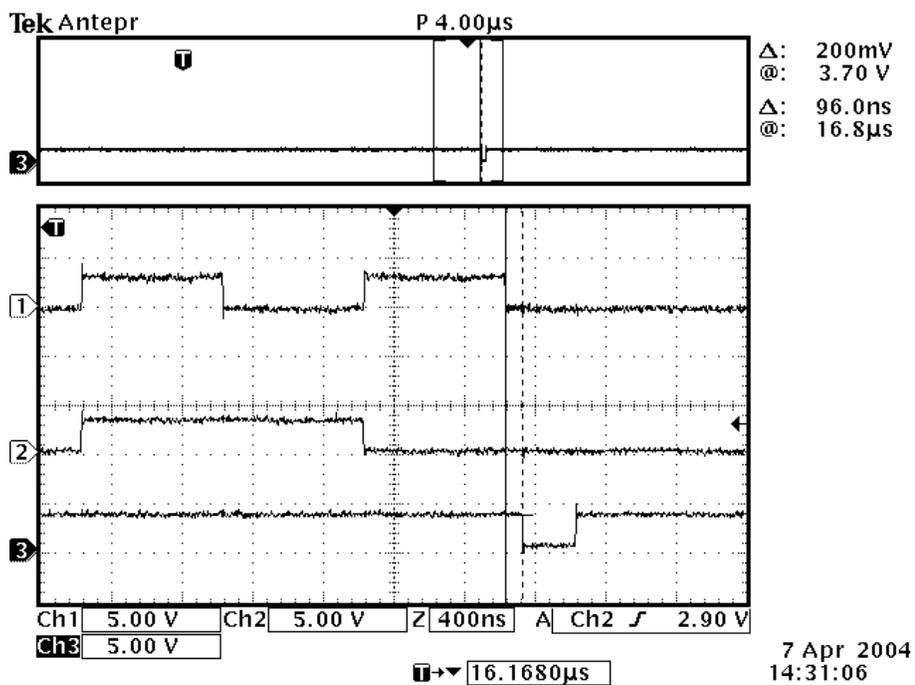
La figura 5.6(a) mostra la distanza tra l'ultimo fronte di discesa del clock e l'impulso L_DAC che risulta pari a 100 ns circa mentre in figura 5.6(b) è mostrata la durata dell'impulso L_DAC che come si vede è pari ~ 300 ns.

La procedura è stata ripetuta per tutti i canali dei tre DAC seriali presenti sulla scheda. In tutti i casi la comunicazione avviene esattamente come descritto e rispetta le specifiche richieste dal costruttore e analizzate nel capitolo precedente (vedi tabella 4.9).

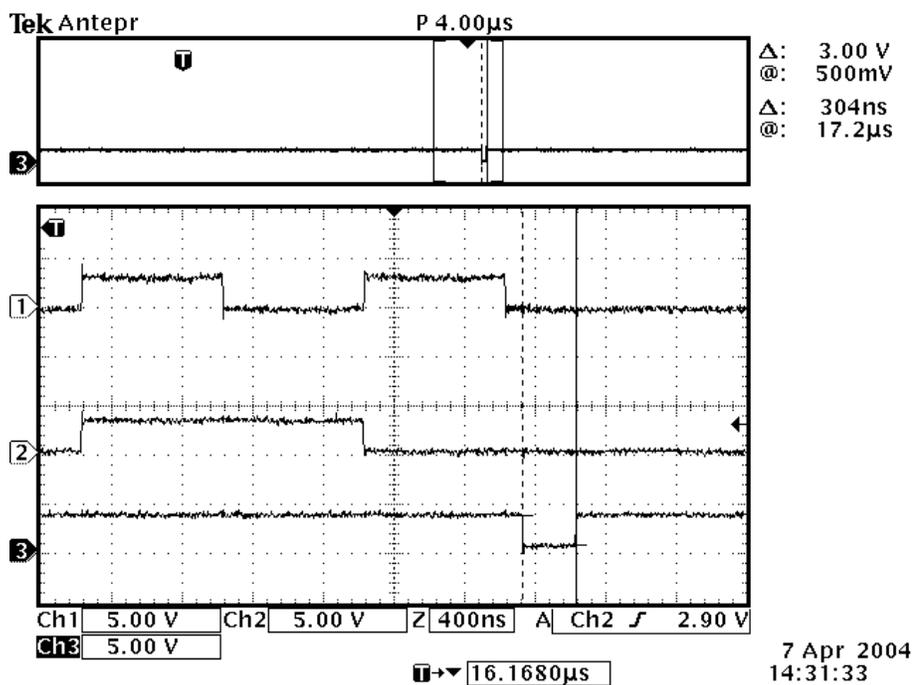
5.2.3 Impulsi di test

Il prova consiste nel verificare che la FPGA riesca a generare un impulso di test in ingresso ai comparatori in corrispondenza della richiesta da parte del software di gestione. La verifica è stata eseguita per tutti i comparatori e di seguito è descritto un caso a titolo di esempio.

In figura 5.7 è mostrata la trasmissione del comando **Test_P** (00001000)



(a) Distanza del clock dall'impulso di aggiornamento.



(b) Durata dell'impulso di aggiornamento.

Figura 5.6: Misura della temporizzazione dell'impulso di aggiornamento.

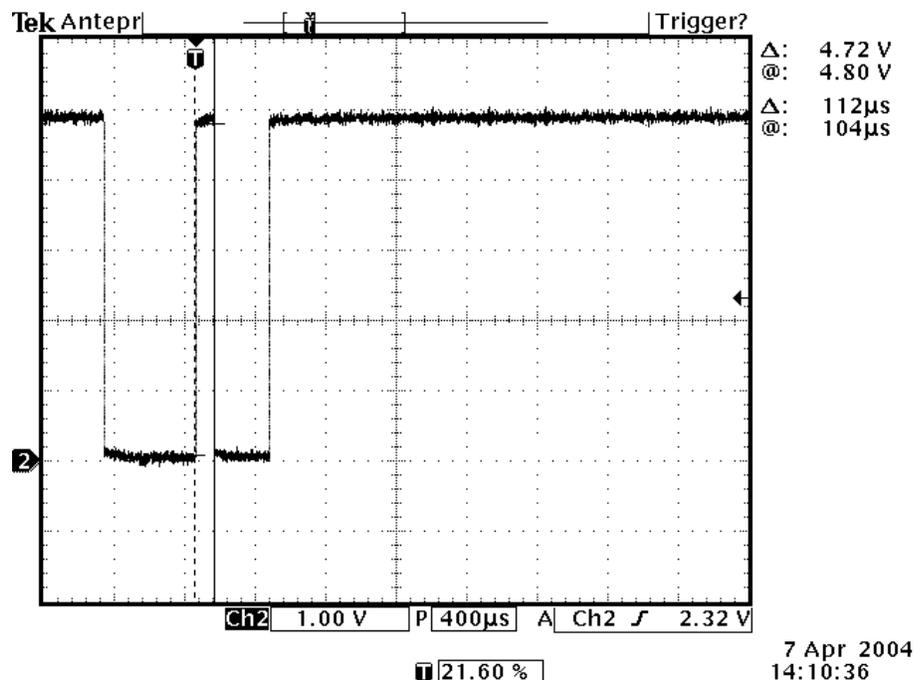


Figura 5.7: Trasmissione per la generazione dell'impulso di test.

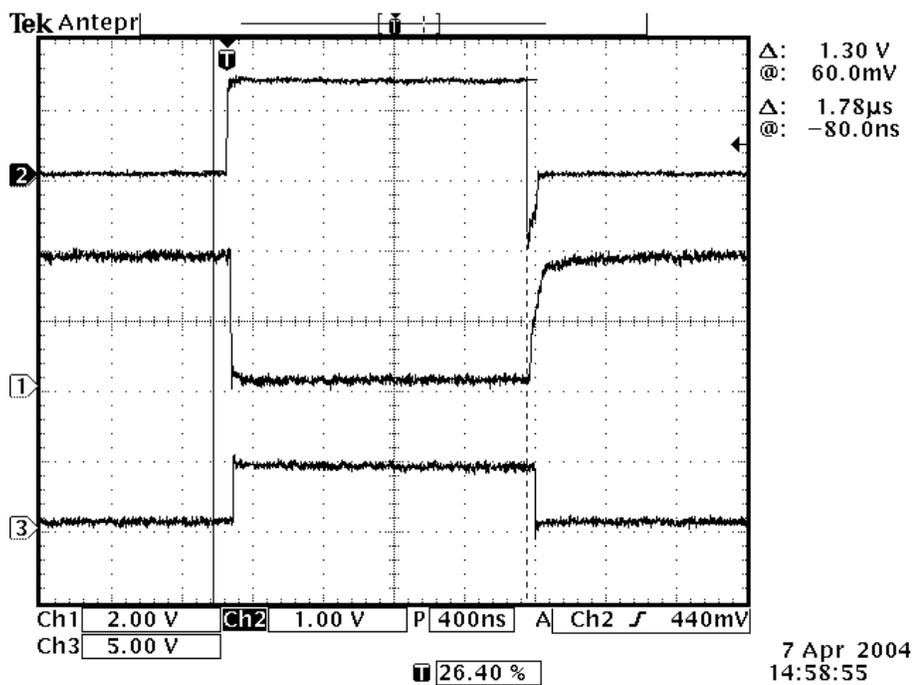
per testare i comparatori dei primi quattro canali d'ingresso, come ricevuta dalla LTCU. Come si può vedere la durata dell'impulso è fissata a $100 \mu s$ in modo che la LTCU possa memorizzare correttamente il segnale.

Il segnale generato dalla FPGA per testare i comparatori è mostrato in figura 5.8(a) (segnale in alto). Al centro è mostrata l'uscita del comparatore al superamento della soglia precedentemente impostata a $\sim 255 \text{ mV}$. L'impulso in basso invece rappresenta la proposta di trigger avanzata in uscita dalla scheda.

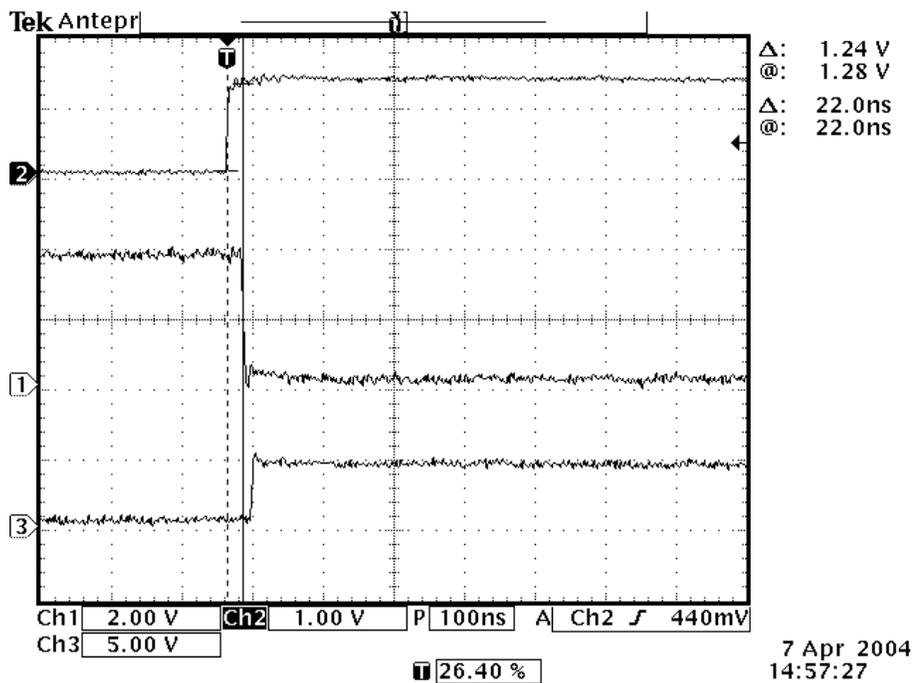
In figura 5.8(b) è mostrato un particolare dell'immagine precedente in cui si è misurato il tempo di risposta all'impulso in ingresso del comparatore pari a $\sim 22 \text{ ns}$.

5.2.4 Generazione del segnale di trigger

Come detto in precedenza lo scopo della prova è di verificare che in corrispondenza di un segnale in ingresso sopra soglia la scheda generi un segnale di trigger.

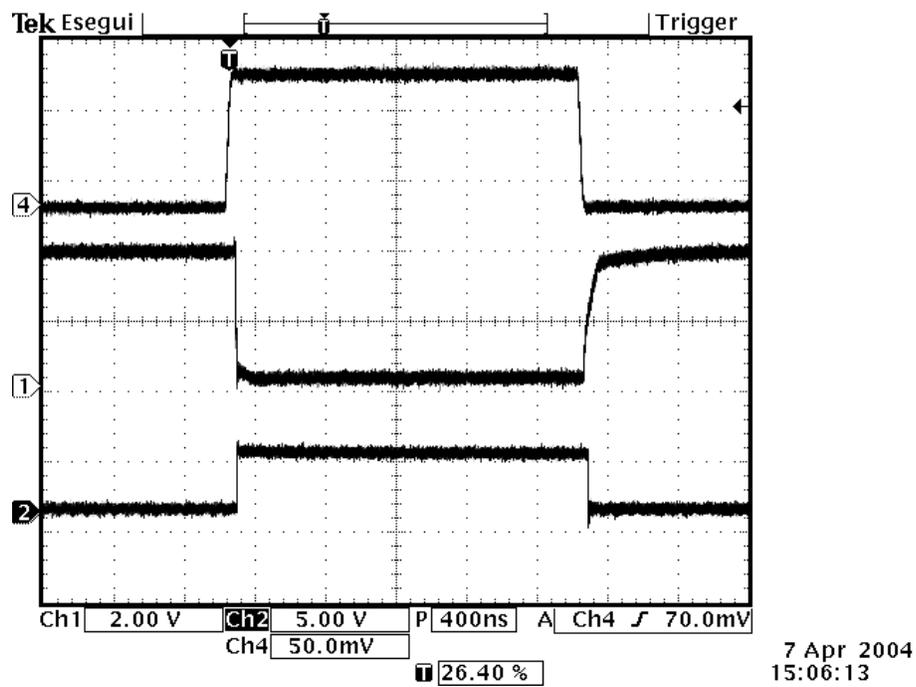


(a) Generazione del segnale di trigger da un impulso di test.

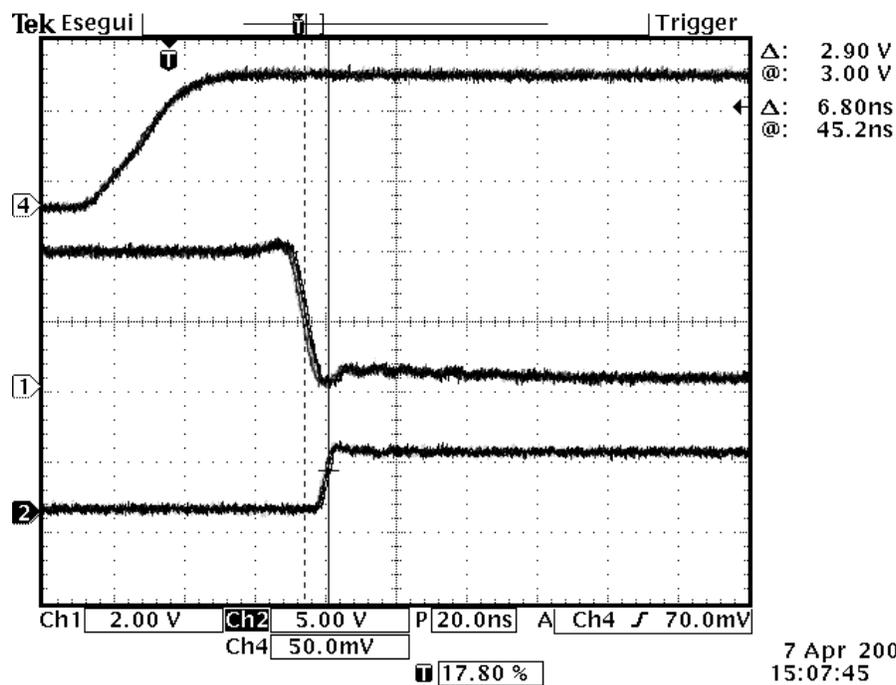


(b) Ritardo di commutazione del comparatore.

Figura 5.8: In (a): in alto è raffigurato l'impulso di test generato dalla LTCU, al centro la risposta del comparatore e in basso il segnale di trigger generato. In (b): particolare dei tre segnali in cui si evince che il ritardo di commutazione del comparatore è di circa 22 ns.



(a) Generazione del segnale di trigger da un impulso esterno.



(b) Ritardo di generazione del trigger.

Figura 5.9: In (a): in alto è raffigurato l'impulso in ingresso alla LTCU, al centro la risposta del comparatore e in basso il segnale di trigger generato. In (b): particolare dei tre segnali in cui si può vedere il ritardo di generazione del trigger per l'implementazione corrente è pari a ~ 45 ns.

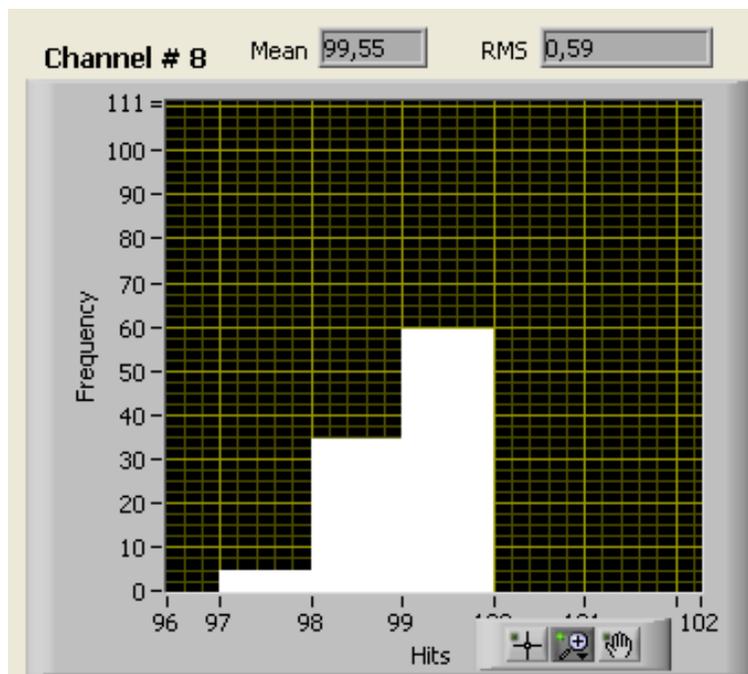


Figura 5.10: Istogramma, media e scarto quadratico medio dei conteggi degli impulsi relativi a un segnale sopra soglia di frequenza pari a 100 Hz in 1 s. Il grafico è generato automaticamente dal software di controllo della LTCU.

Si è impulsato uno degli ingressi della scheda con un segnale di ampiezza e durata rispettivamente pari a ~ 100 mV e ~ 2 μ s avendo precedentemente impostato la soglia di discriminazione del canale a 70 mV.

In figura 5.9(a) si possono vedere dall'alto verso il basso: il segnale di ingresso, l'uscita del comparatore e il segnale di trigger della scheda, mentre in figura 5.9(b) è mostrato il tempo di generazione del trigger che risulta pari a 45 ns circa. Questo tempo è solo indicativo in quanto è vincolato alla particolare implementazione della logica di generazione nella FPGA che varia a ogni riprogrammazione.

Anche questo test è stato eseguito per tutti gli ingressi.

5.2.5 L'algoritmo di conteggio

Per verificare il corretto funzionamento dell'algoritmo di conteggio si è impulsato un ingresso con un segnale di ampiezza di ~ 300 mV, durata

$\sim 2 \mu\text{s}$ e frequenza pari a circa 100 Hz. Si è inoltre impostata la soglia a 150 mV e si sono quindi eseguite misure al variare della finestra temporale.

In figura 5.10 è mostrato l'istogramma ottenuto nel caso in cui la finestra temporale e il numero di misure sono pari rispettivamente a 1 s e 100.

Come si vede non si è ottenuto sempre il valore atteso di 100 conteggi. La fonte di errore sul risultato del conteggio è dovuta all'asincronicità del segnale da contare rispetto alla finestra temporale. Infatti l'algoritmo progettato, come spiegato nel paragrafo 4.3.3 è sensibile alle transizioni $L \rightarrow H$ del segnale asincrono in ingresso. Quello che può accadere è che il primo fronte di salita che provoca il primo conteggio avvenga al di fuori della finestra di conteggio T_W_C oppure che tale segnale si porti al livello logico basso prima che sia completa la memorizzazione dell'ultimo impulso contato. Per ogni ripetizione, dunque, il conteggio del numero di impulsi in ingresso può essere al più sottostimato di due unità.

Nell'esempio appena illustrato il valor medio della distribuzione ottenuta è pari a 99.5 ± 0.6 conteggi ed è consistente con il valore atteso.

Il test è stato ripetuto per tutti i canali e per tutte le possibili finestre temporali ottenendo ugualmente sempre al più una sottostima del risultato pari a due conteggi.

Conclusioni

In questo lavoro di tesi è stato affrontato il problema della realizzazione del disegno generale del sistema elettronico di trigger, della progettazione e dello sviluppo della scheda di primo livello per l'esperimento ICARUS, nell'ambito delle attività del gruppo di Napoli, responsabile, tra l'altro, del suddetto sistema.

Il sistema di trigger per l'esperimento ICARUS ha le seguenti caratteristiche. Esso si basa su un'opportuna segmentazione del volume sensibile del rivelatore tale da migliorare l'acquisizione degli eventi rari (neutrini da supernovae) e ridurre, ove possibile, la mole di dati da acquisire ed analizzare; è selettivo, ovvero è in grado di studiare l'attività del rivelatore e individuare la tipologia di evento in modo da facilitare l'analisi off-line dei dati; è modulare in quanto si compone di tre livelli che lo rendono espandibile col progressivo aumento della massa sensibile del rivelatore da 600 a 3000 tonnellate di Argon liquido. Ad ogni livello corrisponde una tipologia di scheda elettronica: la *Local Trigger Control Unit* (LTCU) discrimina i segnali provenienti da 18 schede dell'elettronica di acquisizione e genera due proposte di trigger; la *Trigger Control Unit* (TCU) raccoglie i segnali del livello precedente ed individua le zone del rivelatore interessate e la tipologia degli eventi; il *Trigger Supervisor* (TS) che esegue la validazione delle richieste di trigger avanzate dalla TCU e monitora il sistema.

Il prototipo della scheda di primo livello di tale sistema la LTCU opera la discriminazione in tensione dei segnali provenienti dal front-end dell'elettronica di acquisizione e genera due proposte di trigger, ognuna ottenuta come Fast-OR di nove dei diciotto ingressi. Inoltre, può monitorare il *rate* di trigger provenienti da ogni ingresso in modo da permettere l'individuazione di

possibili anomalie di funzionamento. La scheda è stata progettata per essere un dispositivo completamente pilotabile e configurabile da remoto con qualsiasi personal computer in commercio tramite il protocollo standard RS232. Inoltre, per automatizzare le procedure di test per il collaudo si è realizzato un software di gestione utilizzando il software applicativo *Labview*[®] della National Instruments[®]. Durante la fase di collaudo, infine, si è verificato che il prototipo funzioni secondo quanto previsto in fase di progettazione: la scheda ha superato tutti i test svolti.

Tale prototipo è stato realizzato per studiare la risposta del circuito analogico di discriminazione e di quello digitale di gestione delle funzionalità da remoto: le scelte fatte, quindi, costituiscono una solida base dalla quale partire per gli sviluppi futuri. I test in programma sulle camere TPC in funzione al CERN di Ginevra e in ultimazione a Napoli potranno dare una risposta sulla bontà delle scelte fatte in fase di progettazione.

Una volta giunti ad una configurazione definitiva, la LTCU verrà ingegnerizzata e prodotta in 80 esemplari che verranno pilotati, non più tramite l'interfaccia RS232, ma attraverso un opportuno bus dedicato che ne permetterà la gestione al sistema di trigger, al DAQ e al sistema di *slow control*.

Per quanto riguarda l'intero sistema elettronico di trigger, sono attualmente in corso le simulazioni Montecarlo del sistema e la progettazione degli algoritmi di generazione del trigger propri della scheda di secondo livello (*Trigger Control Unit*). Grazie a questi studi sarà a breve possibile sviluppare il disegno proposto in questa tesi e giungere al progetto definitivo dell'architettura di trigger per l'esperimento ICARUS.

Appendice A

La XILINX Spartan 2

La XILINX Spartan 2 è un dispositivo FPGA (Field Programmable Gate Array) che si compone di cinque componenti principali configurabili [30]:

- i blocchi di logica di I/O (IOB) che costituiscono l'interfaccia tra i pin del chip e la logica interna;
- i blocchi di logica configurabile (CLB) che costituiscono gli elementi per la costruzione della logica;
- i blocchi dedicati di memoria RAM ognuno di 4096 bit;
- le linee dedicate alla distribuzione del segnale di clock;
- la struttura di connessione a multilivelli tra le varie strutture.

Il chip è costituito da un perimetro di IOB mentre al centro sono distribuite le CLB e i blocchi di instradamento detti *General Routing Matrix* (GRM) a cui fanno capo tutte le interconnessioni (vedi figura A.1).

L'intera FPGA è controllata da un array distribuito di celle di memoria, progettate per avere alta stabilità e immunità al rumore, in cui, ad ogni avvio, viene caricata la configurazione contenuta in un'apposita EPROM esterna in modo da rendere il dispositivo riprogrammabile secondo le esigenze. Questa configurazione, generata da un tool di sintesi, si compone delle informazioni necessarie affinché il circuito progettato venga implementato nelle *lookup tables* contenute nelle varie CLB e vengano attivate le interconnessioni e gli IOB necessari.

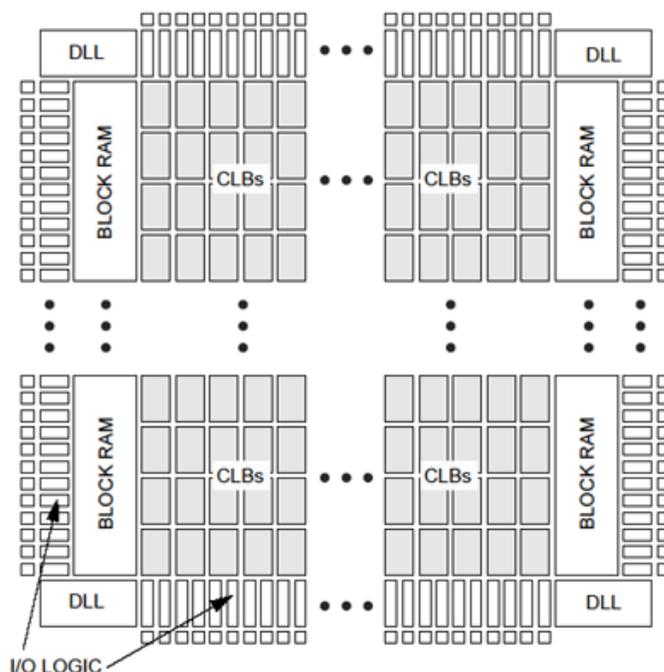


Figura A.1: Schema a blocchi di una XILINX Spartan 2.

In figura A.2 è rappresentata la schematizzazione di un IOB della Spartan 2. Esso si compone di tre flip-flop di tipo D *edge-triggered*, ovvero sensibili alle transizioni del clock, ognuno attivato da una abilitazione del clock (CE) indipendente. Questi tre registri, utilizzabili anche come *latch*, condividono anche un ingresso (SR) che può essere utilizzato come SET/RESET sincrono o come PRESET/CLEAR asincrono. Una resistenza di *pullup* o di *pulldown* può essere collegata alla pad di uscita del IOB; inoltre i pin d'ingresso e uscita sono protetti dalle scariche elettrostatiche e dalle altre variazioni brusche di tensione da un'apposita rete contenuta nel blocco ESD. Gli IOB, inoltre, sono compatibili con gli standard TTL, CMOS, ECL.

All'interno del perimetro di blocchi di I/O, disposte in una matrice, ci sono le CLB mostrate in figura A.3. Ogni CLB contiene al suo interno due blocchi identici detti *slice* composti da due lookup tables a quattro ingressi e un'uscita, due flip-flop di tipo D utilizzabili anche in questo caso come latch, un blocco di logica per l'implementazione delle logiche aritmetiche ad alta velocità e un driver *tristate*.

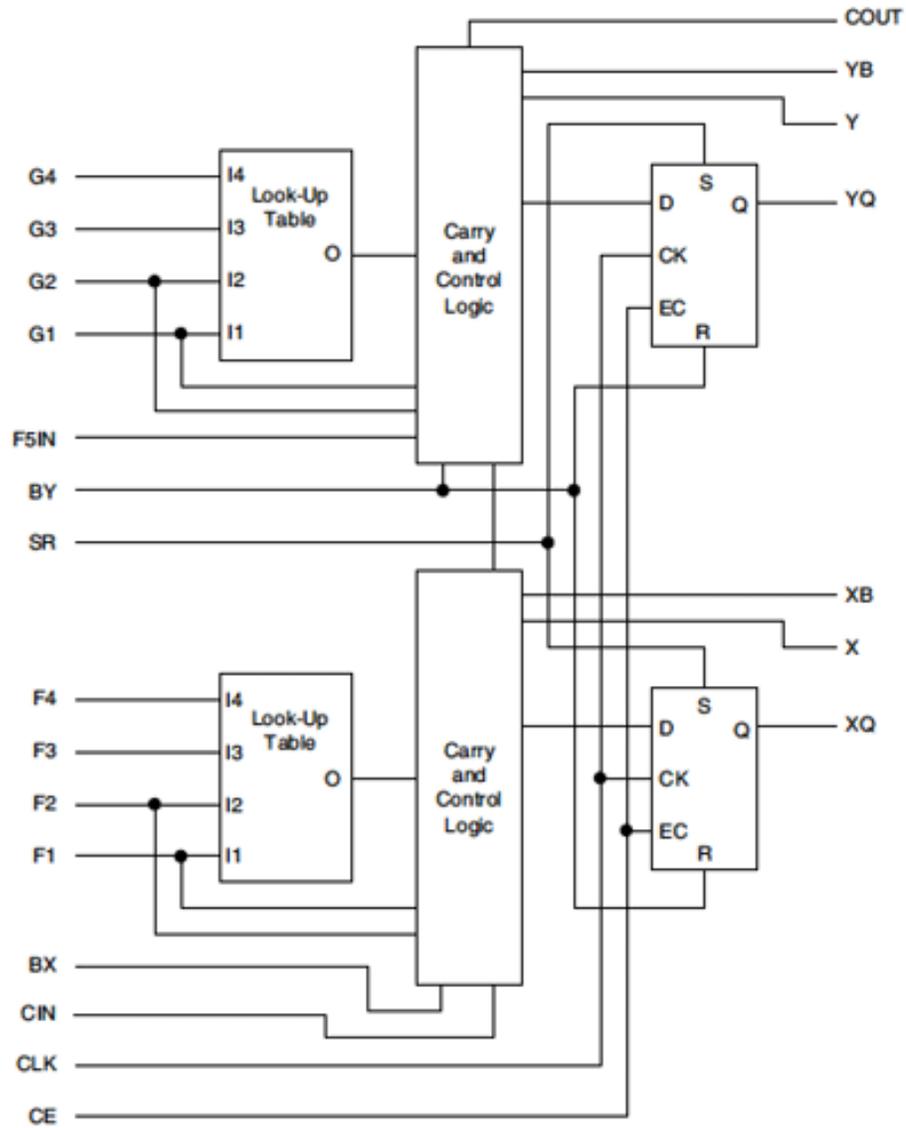


Figura A.3: Una delle due slice identiche contenute nella CLB della Spartan 2.

| Locazioni | Dimensione | Bus indirizzi | Bus dati |
|-----------|------------|---------------|----------|
| 1 | 4096 | [11 : 0] | [0] |
| 2 | 2048 | [10 : 0] | [1 : 0] |
| 4 | 1024 | [9 : 0] | [3 : 0] |
| 8 | 512 | [8 : 0] | [7 : 0] |
| 16 | 256 | [7 : 0] | [15 : 0] |

Tabella A.1: Possibili configurazioni dei blocchi di memoria RAM della XILINX Spartan 2.

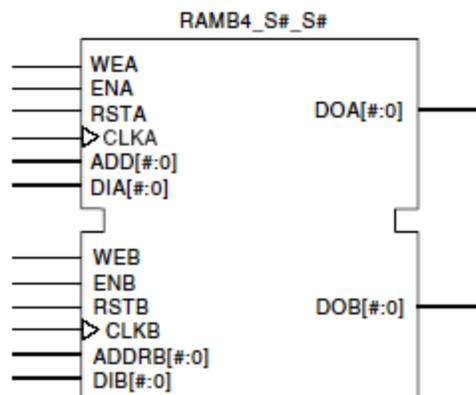


Figura A.4: Doppio blocco di RAM configurabile.

Le General Purpose Routing si compongono delle linee di interconnessione tra i vari blocchi d'istradamento nelle quattro direzioni e di 24 *longline* con buffer che percorrono il dispositivo in orizzontale e verticale e sono utilizzate per le connessioni veloci tra blocchi non adiacenti o tra blocchi interni e IOB, mentre le I/O Routing sono invece le linee specifiche di interconnessione tra l'array di CLB e i blocchi di input-output.

Per rendere massime le prestazioni alcune linee di interconnessione sono dedicate a specifici utilizzi. Esistono due tipi di Dedicated Routing: due linee verticali di propagazione del riporto tra le CLB adiacenti e un bus a 4 linee orizzontali caratterizzate da un driver tristate per linea.

Infine le Global Routing sono utilizzate per distribuire segnali con un alto *fanout*. Le quattro principali, a cui sono dedicati altrettanti pin

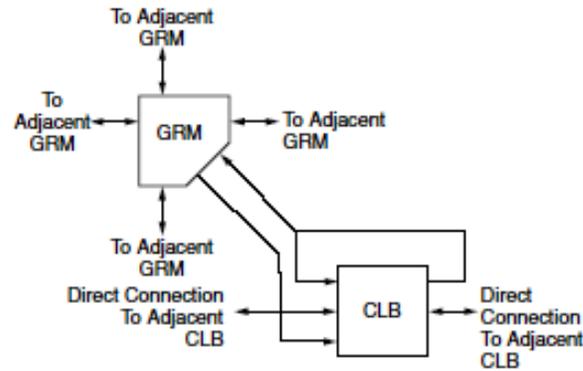


Figura A.5: Local Routing della Spartan 2.

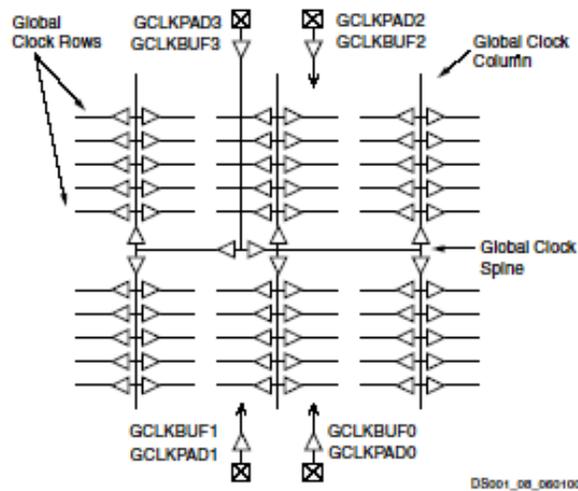


Figura A.6: Rete di distribuzione del clock (Global Routing).

di ingresso, sono state progettate per la distribuzione del clock in modo da ottenere il minimo *skew*. Ogni linea globale di clock è guidata da un particolare buffer detto globale e può guidare tutte le CLB, gli IOB e la RAM (vedi figura A.6). Le ventiquattro linee secondarie, invece, non sono legate necessariamente alla distribuzione del clock e quindi possono essere utilizzate per diversi segnali a seconda delle esigenze.

Appendice B

Tavole dei circuiti della LTCU

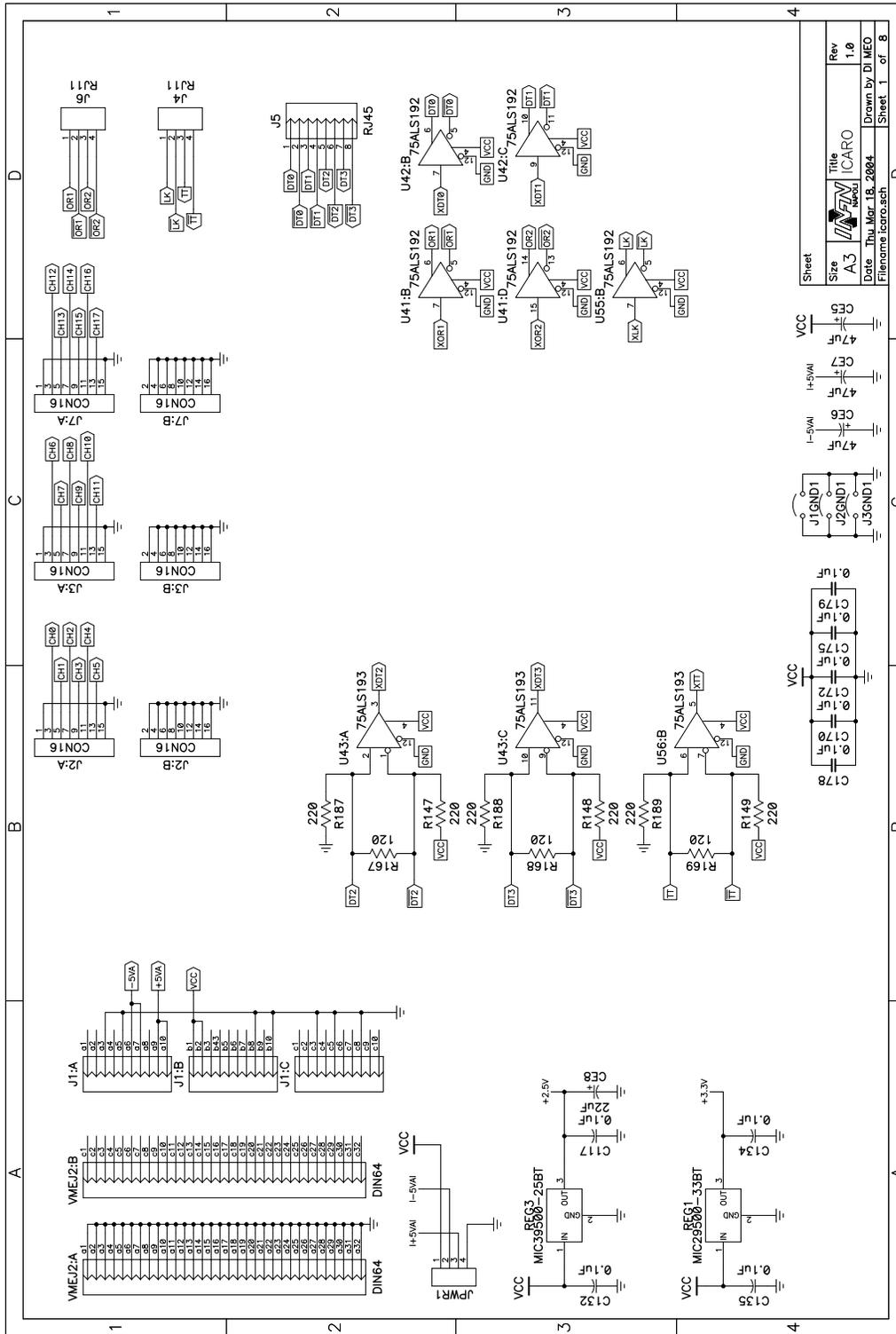


Figura B.1: Connettori e driver I/O.

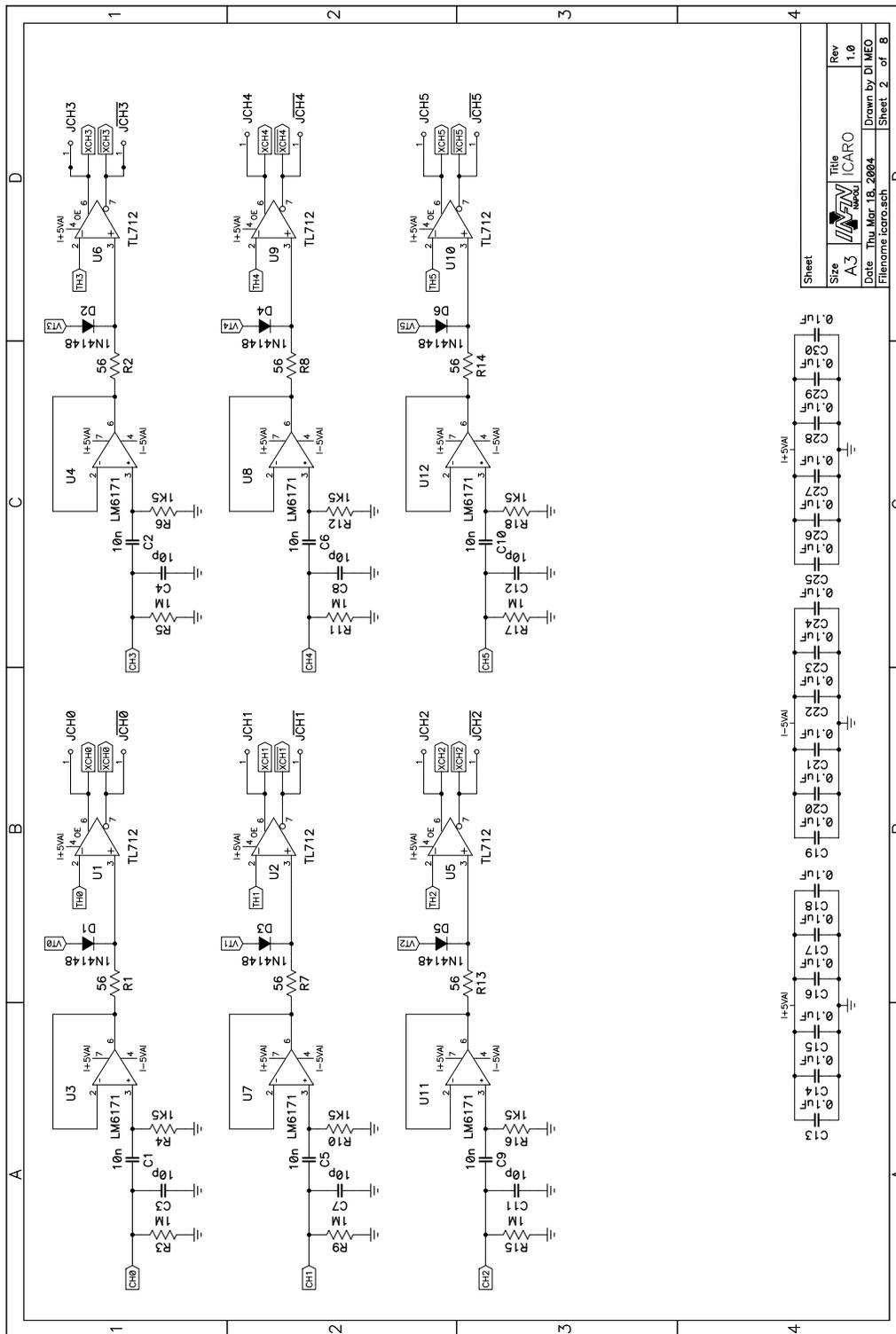


Figura B.2: Stadio di ingresso e comparatori (1).

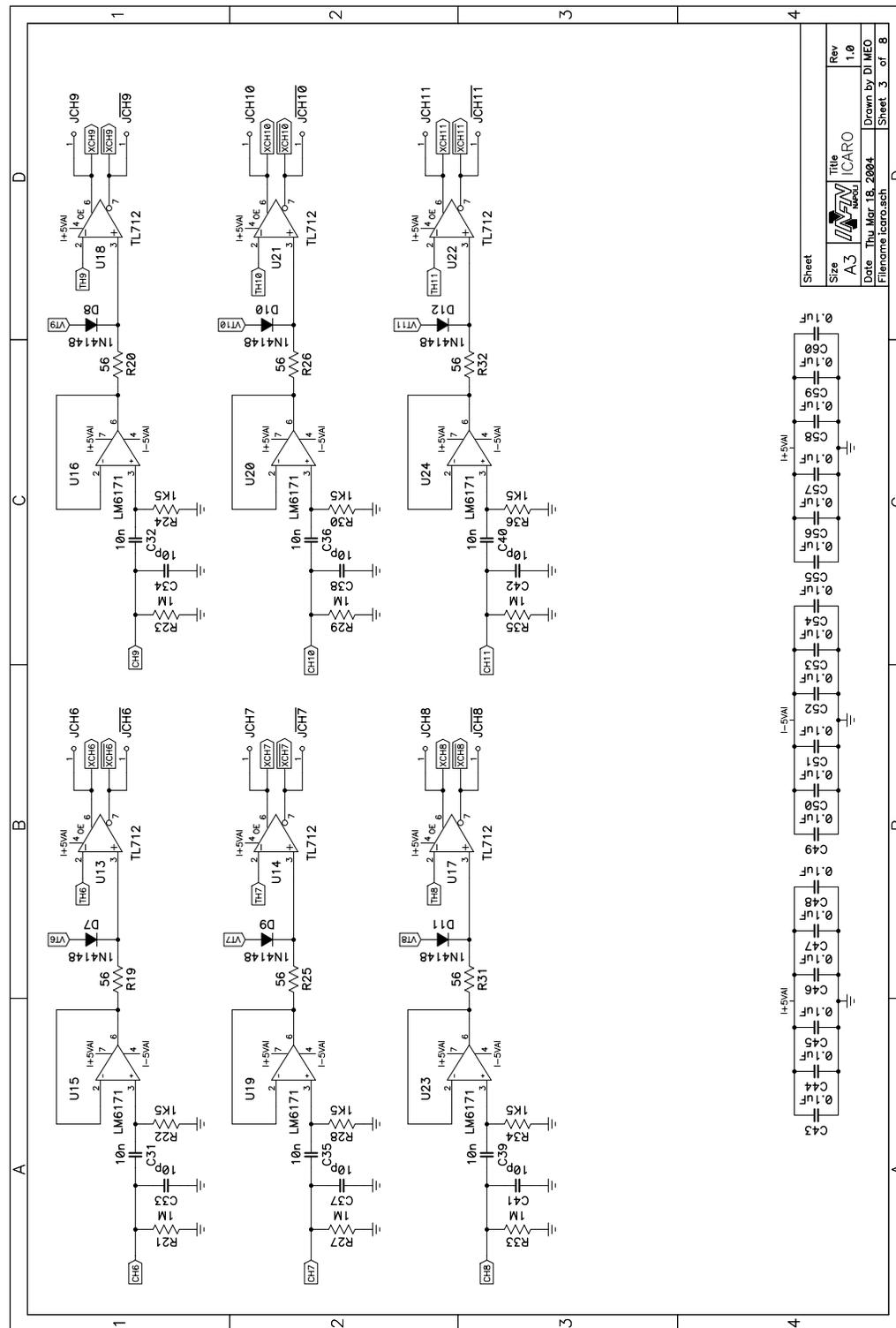


Figura B.3: Stadio di ingresso e comparatori (2).

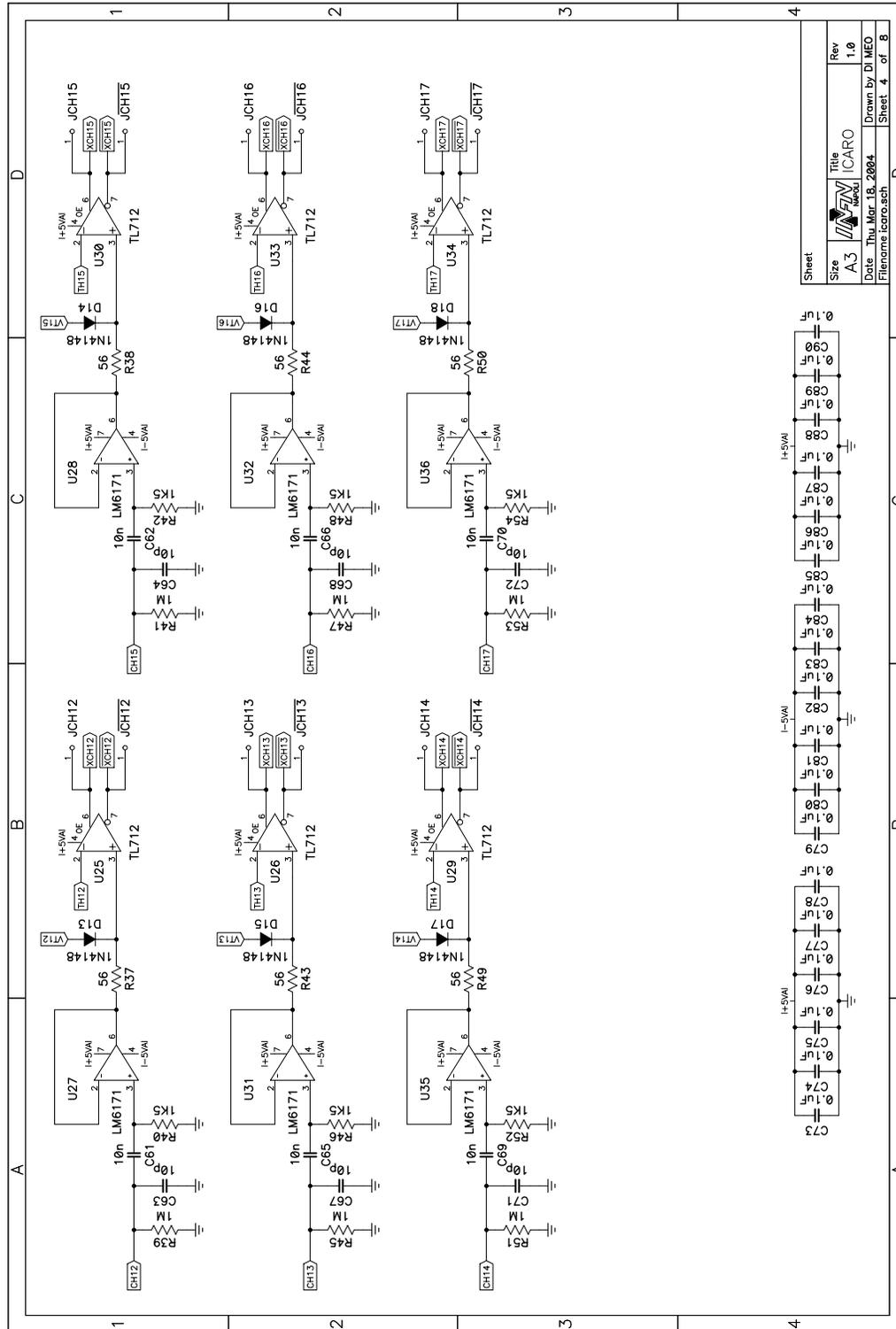


Figura B.4: Stadio di ingresso e comparatori (3).

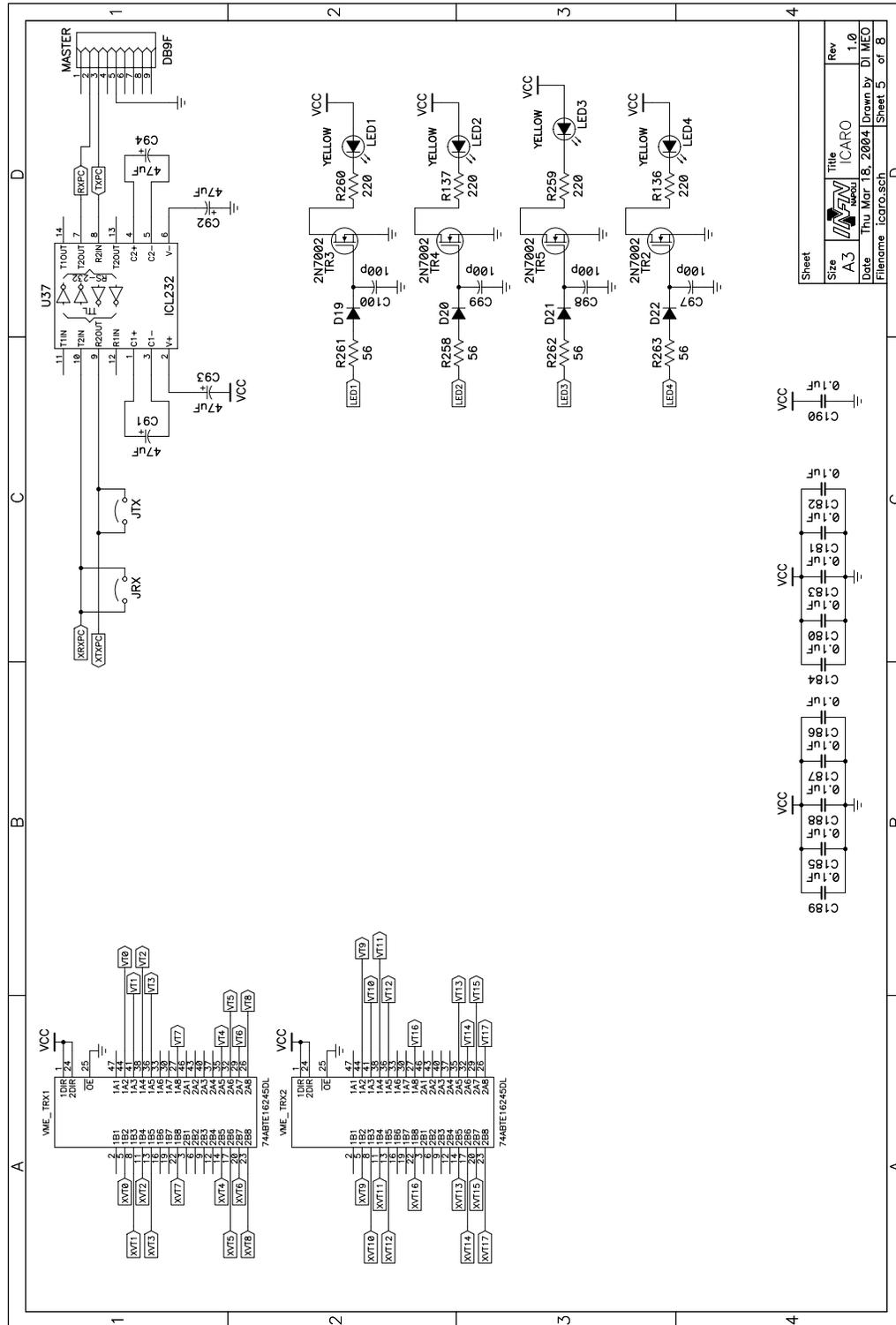


Figura B.5: Buffer, led e driver RS232.

| | | | | |
|----------|------------------|--|--|--------------|
| Sheet | Title | | | Rev |
| Size | ICARO | | | 1.0 |
| A3 | Drawn By | | | DI MEO |
| Date | Thu Mar 18, 2004 | | | Sheet 5 of 8 |
| Filename | .icaro.sch | | | |

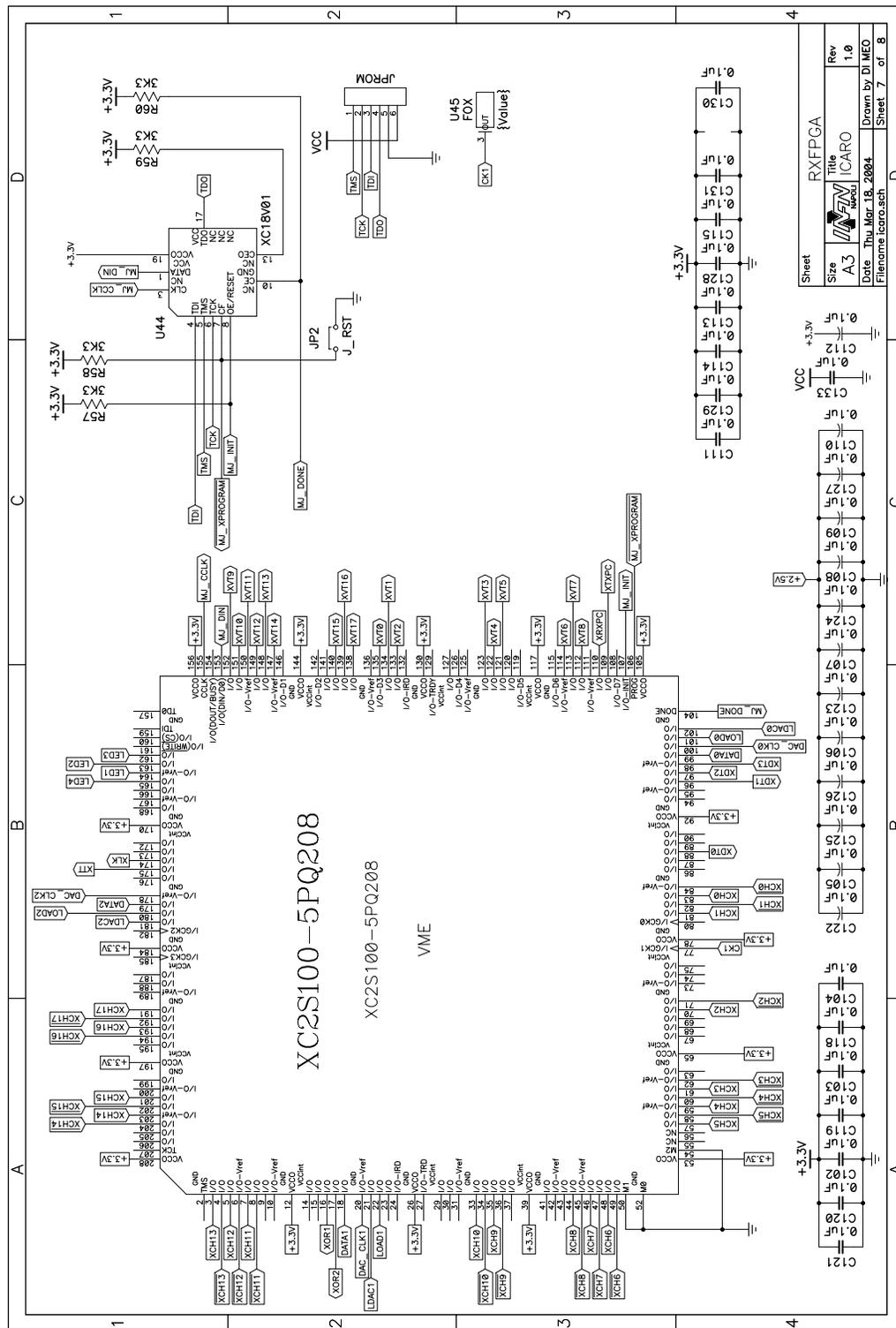
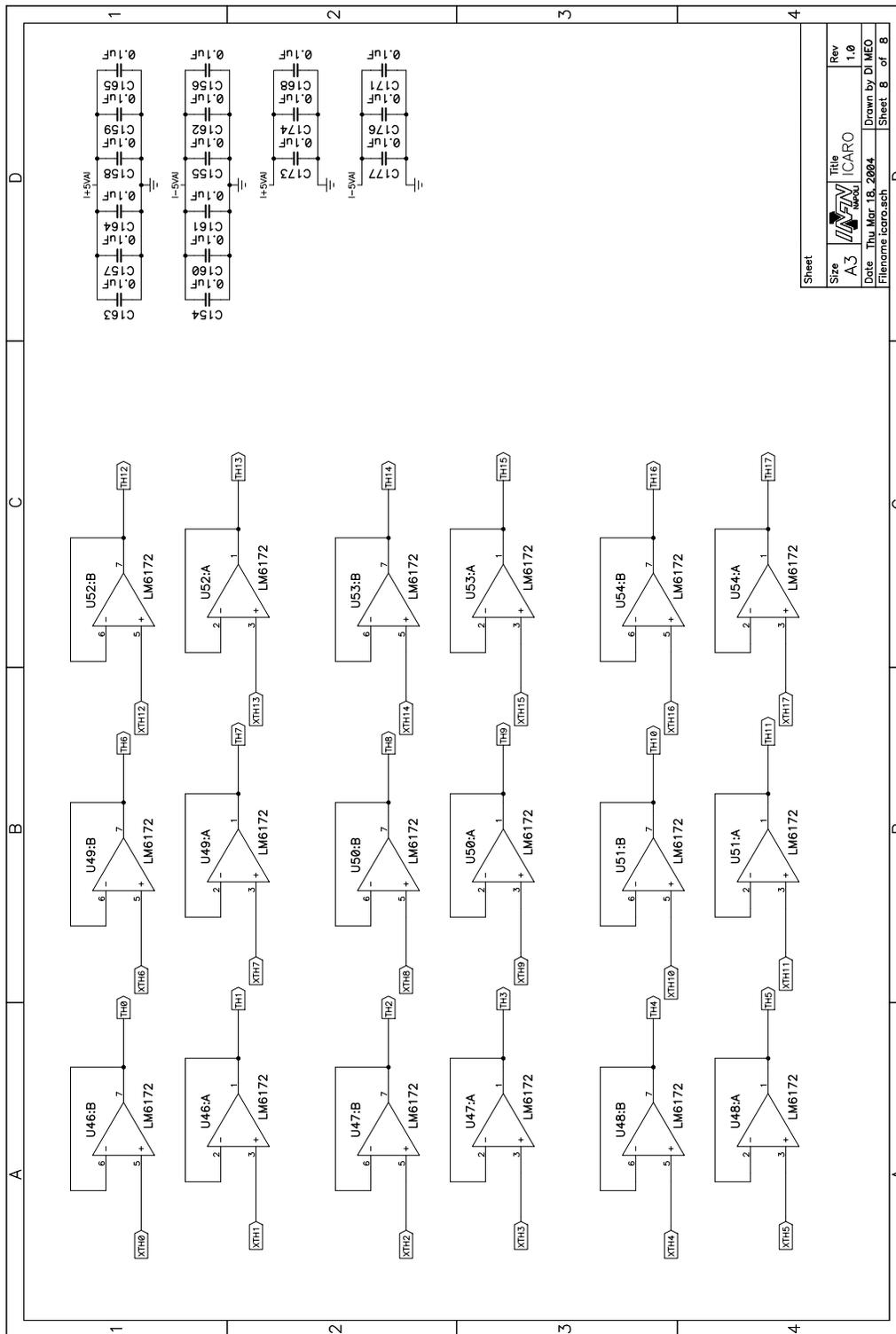


Figura B.7: FPGA XILINX SPARTAN 2 e EPROM di programmazione.



| | | | |
|----------|-----------------|----------|--------|
| Sheet | Size | Title | Rev |
| A3 | A3 | ICARO | 1.0 |
| Date | Thu Mar 18 2004 | Drawn by | DI.MEO |
| Filename | icaro.sch | Sheet | 8 of 8 |

Figura B.8: Inseguitore di tensione per i DAC.

Appendice C

Tavole dei circuiti della FPGA

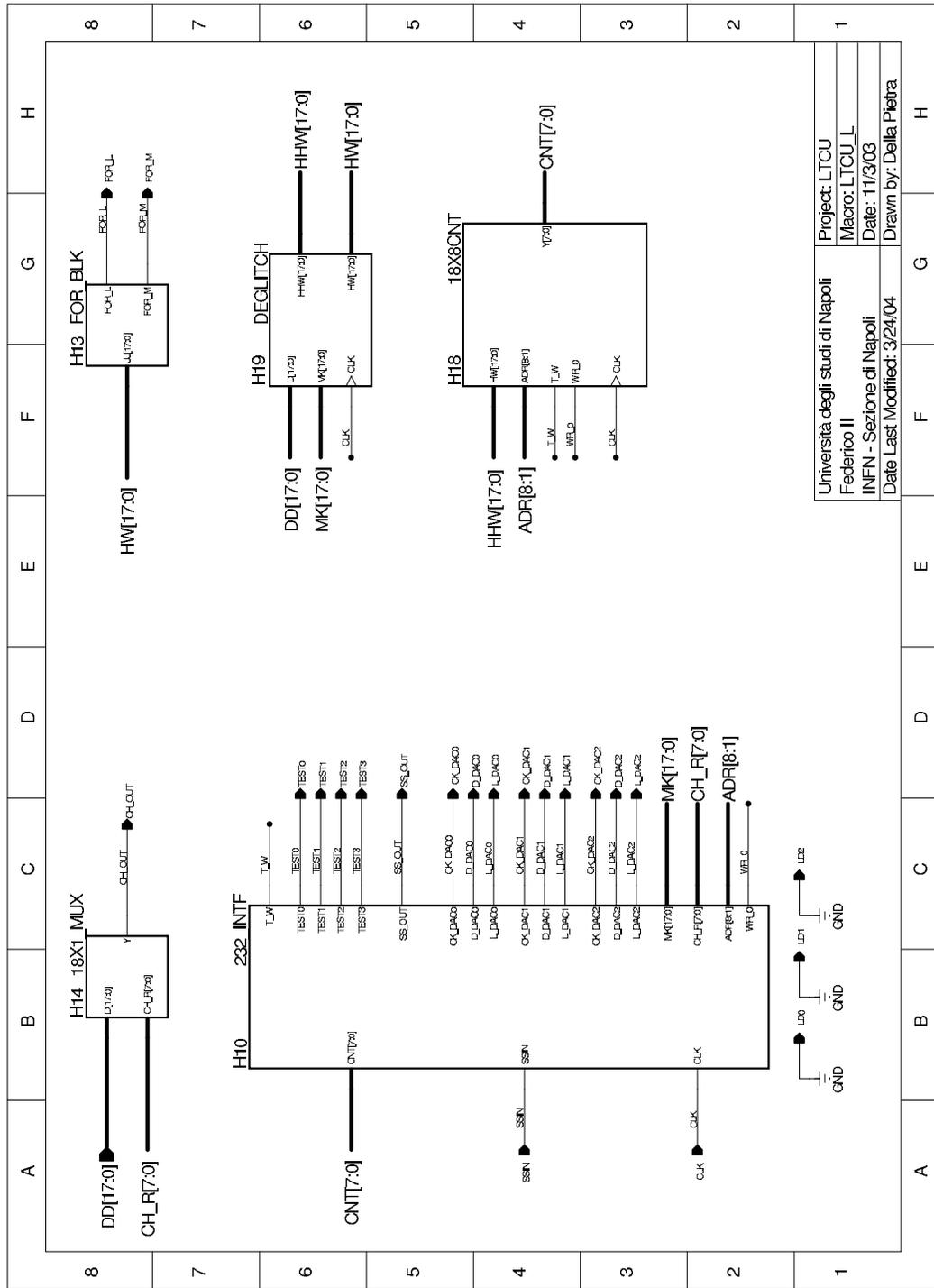


Figura C.2: Struttura interna della FPGA.

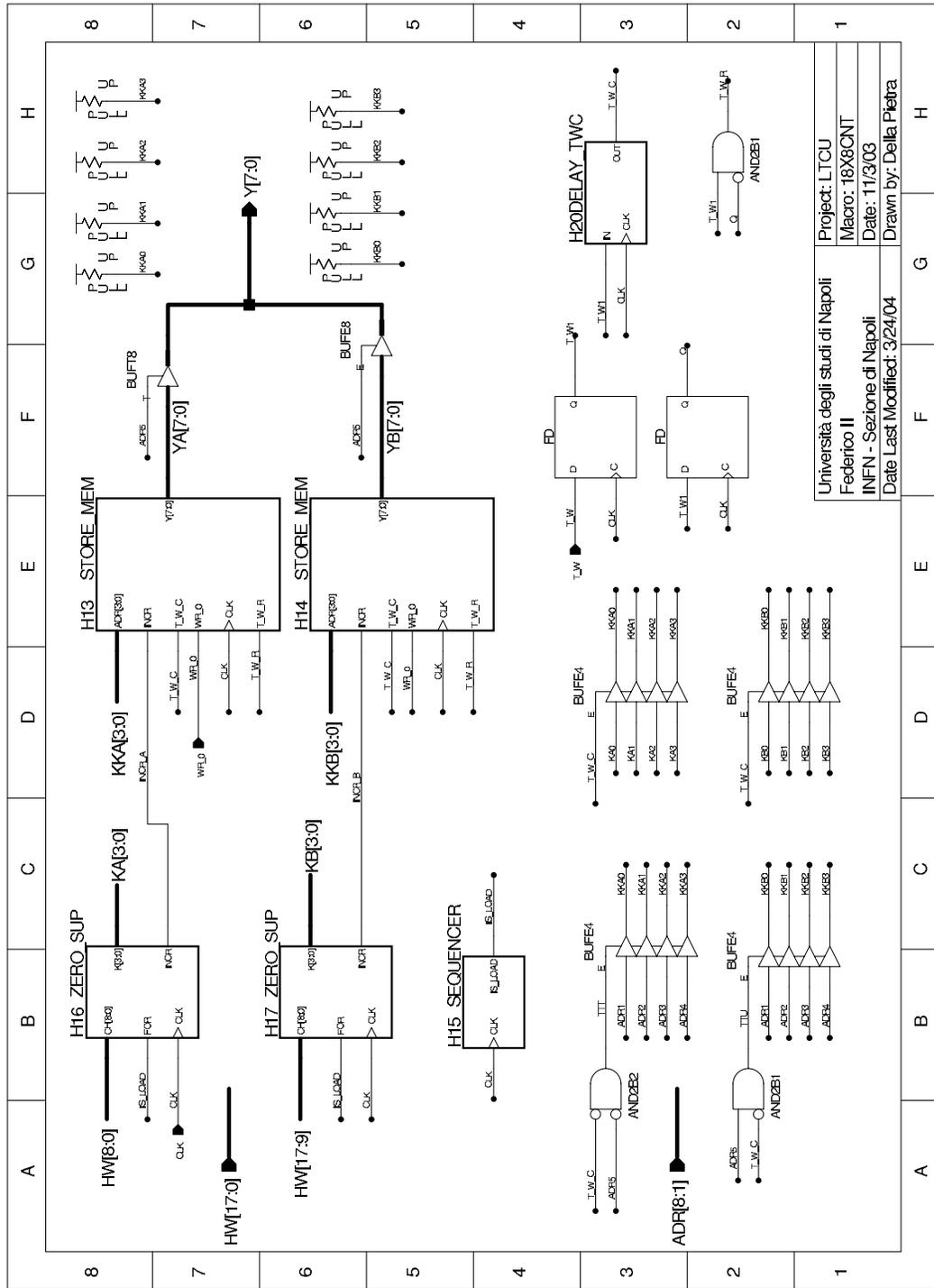


Figura C.4: Blocco 18X8CNT per il conteggio e la memorizzazione degli H1T.

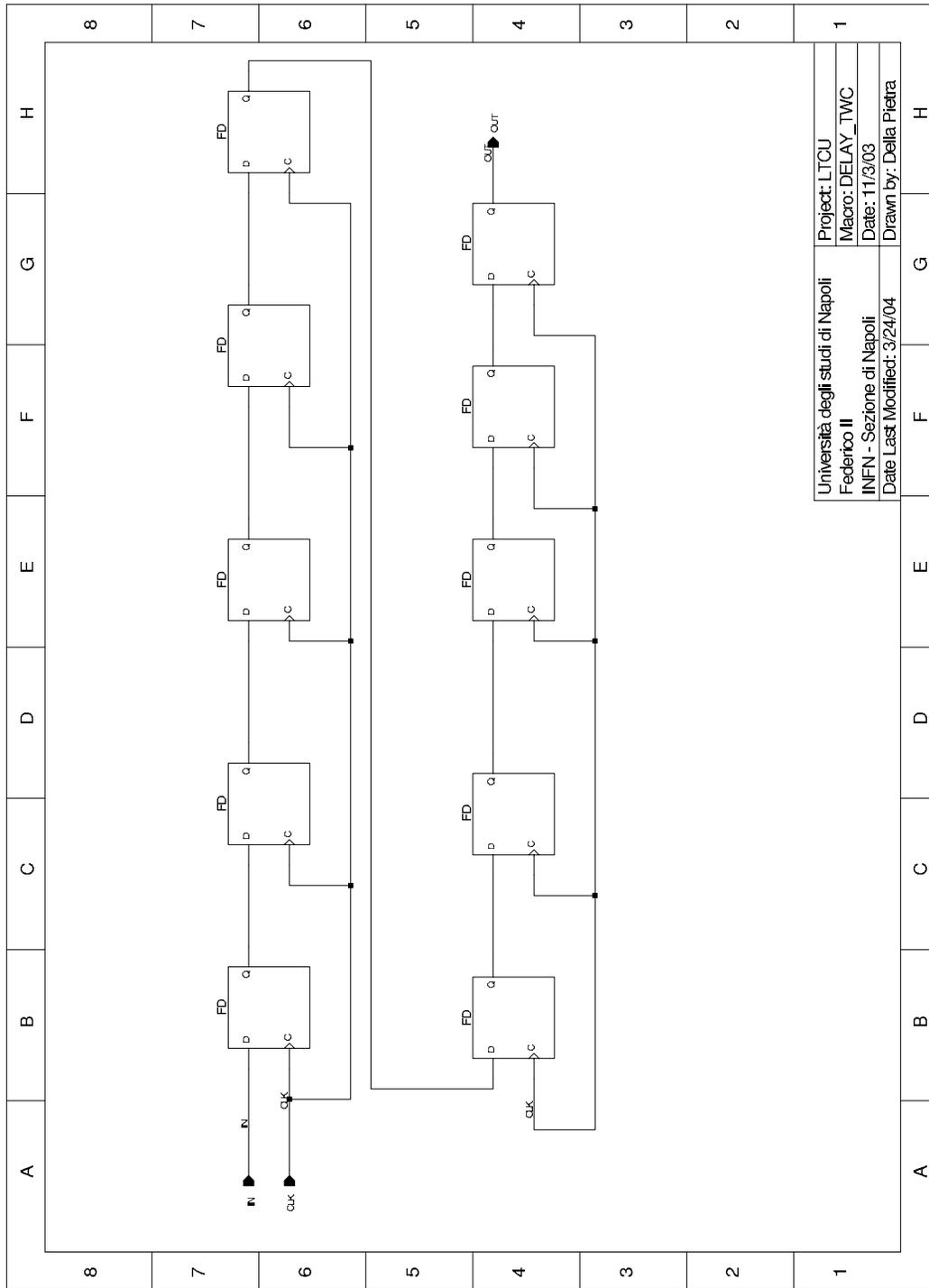


Figura C.5: Blocco *DELAY_TWC* per l'inserimento del ritardo in scrittura.

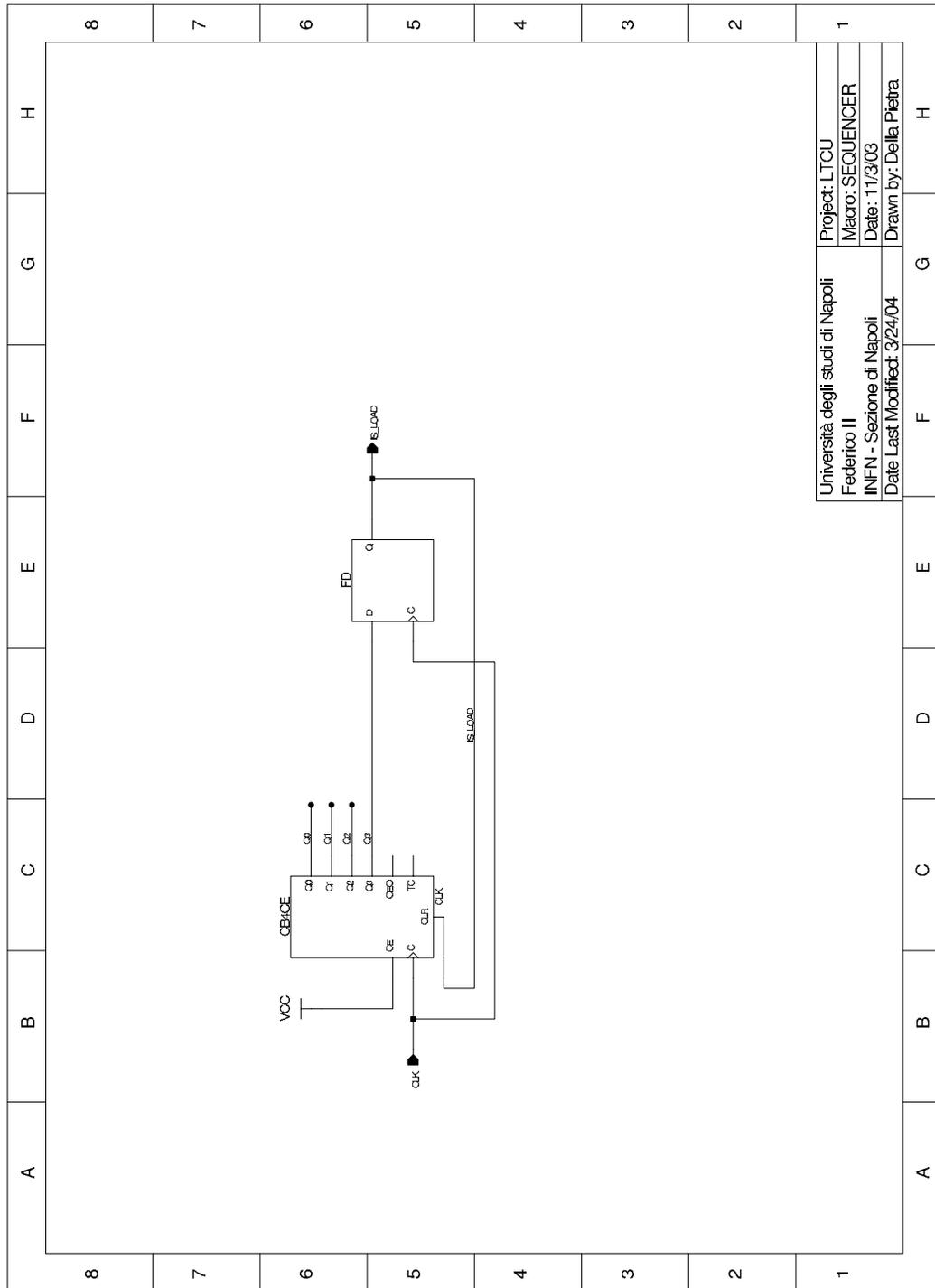


Figura C.6: Blocco *SEQUENCER* per la sincronizzazione del conteggio.

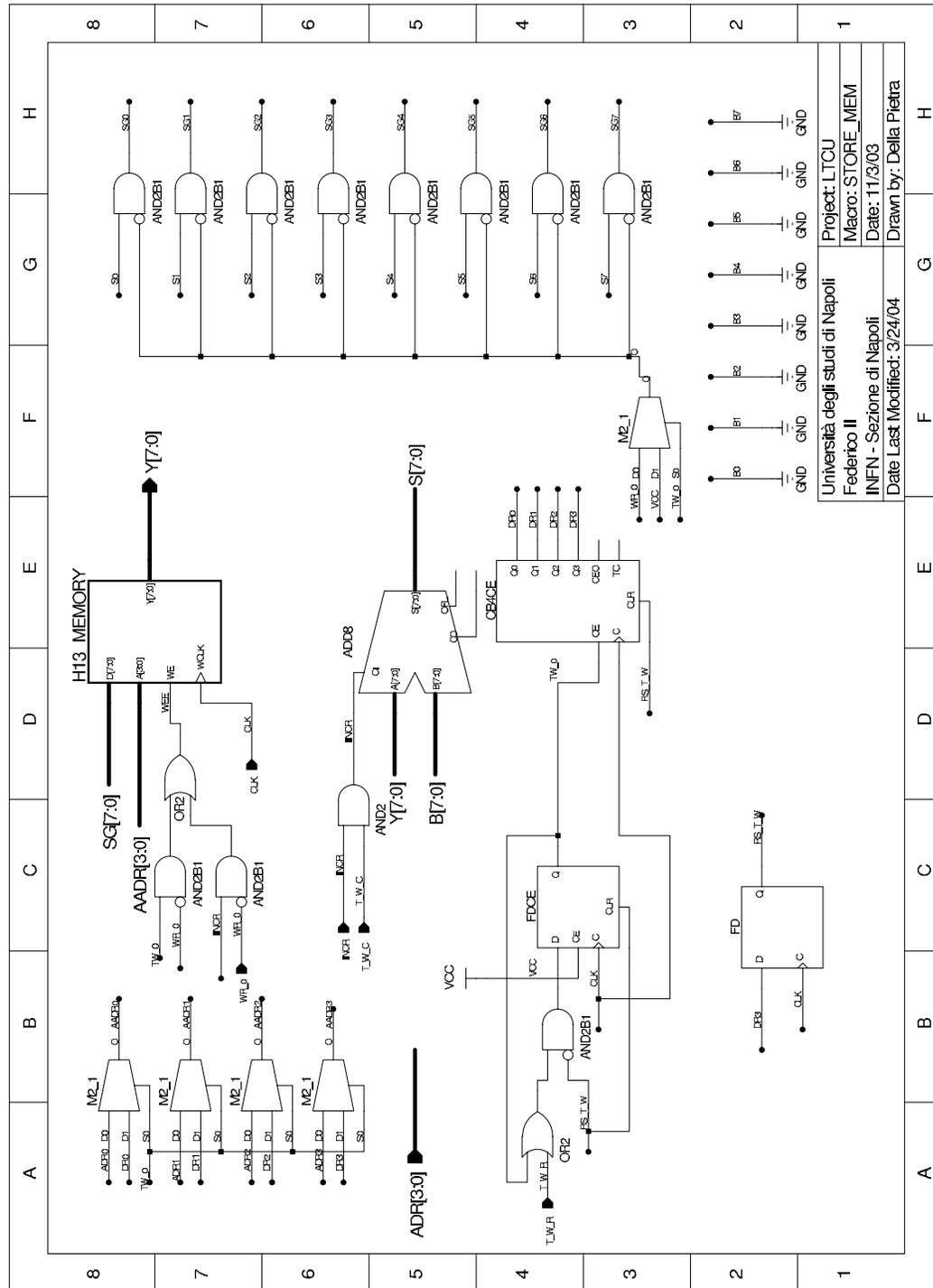


Figura C.7: Blocco *STORE_MEM* per la selezione degli indirizzi per la lettura e la scrittura in memoria.

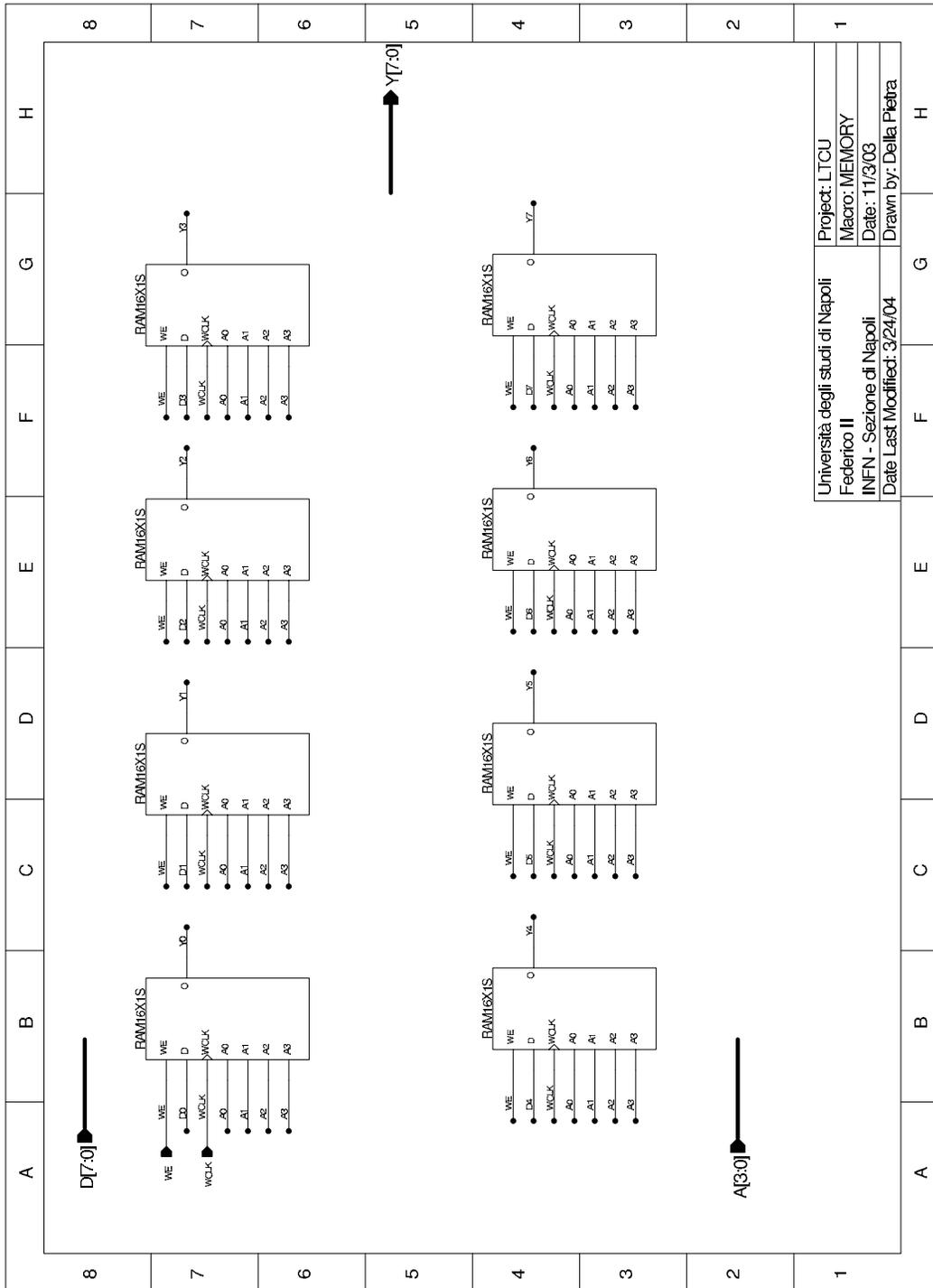


Figura C.8: Blocco di memoria RAM interna. *MEMORY*.

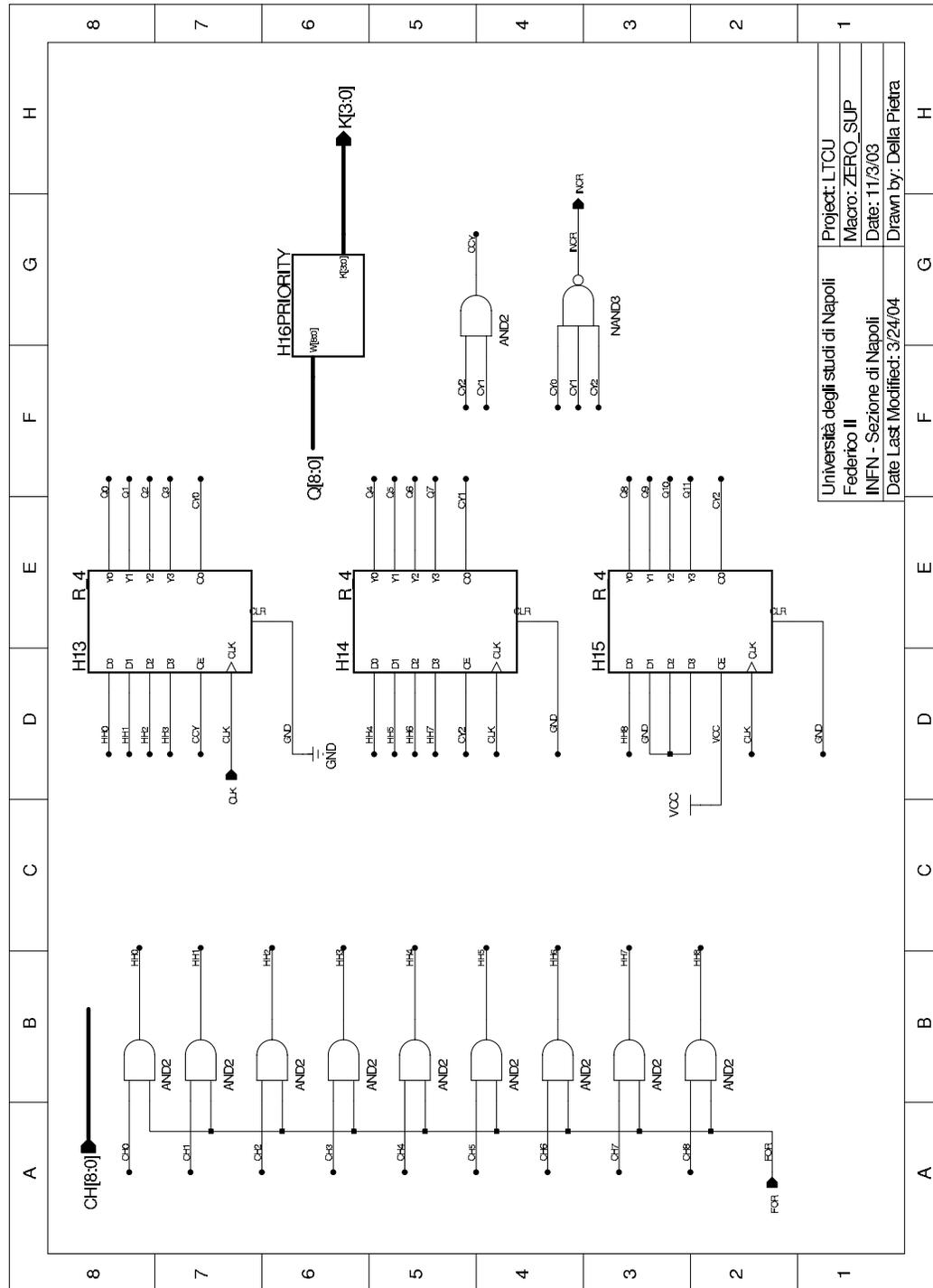


Figura C.9: Blocco ZERO_SUP per la soppressione degli zeri, il conteggio e la generazione degli indirizzi di memoria.

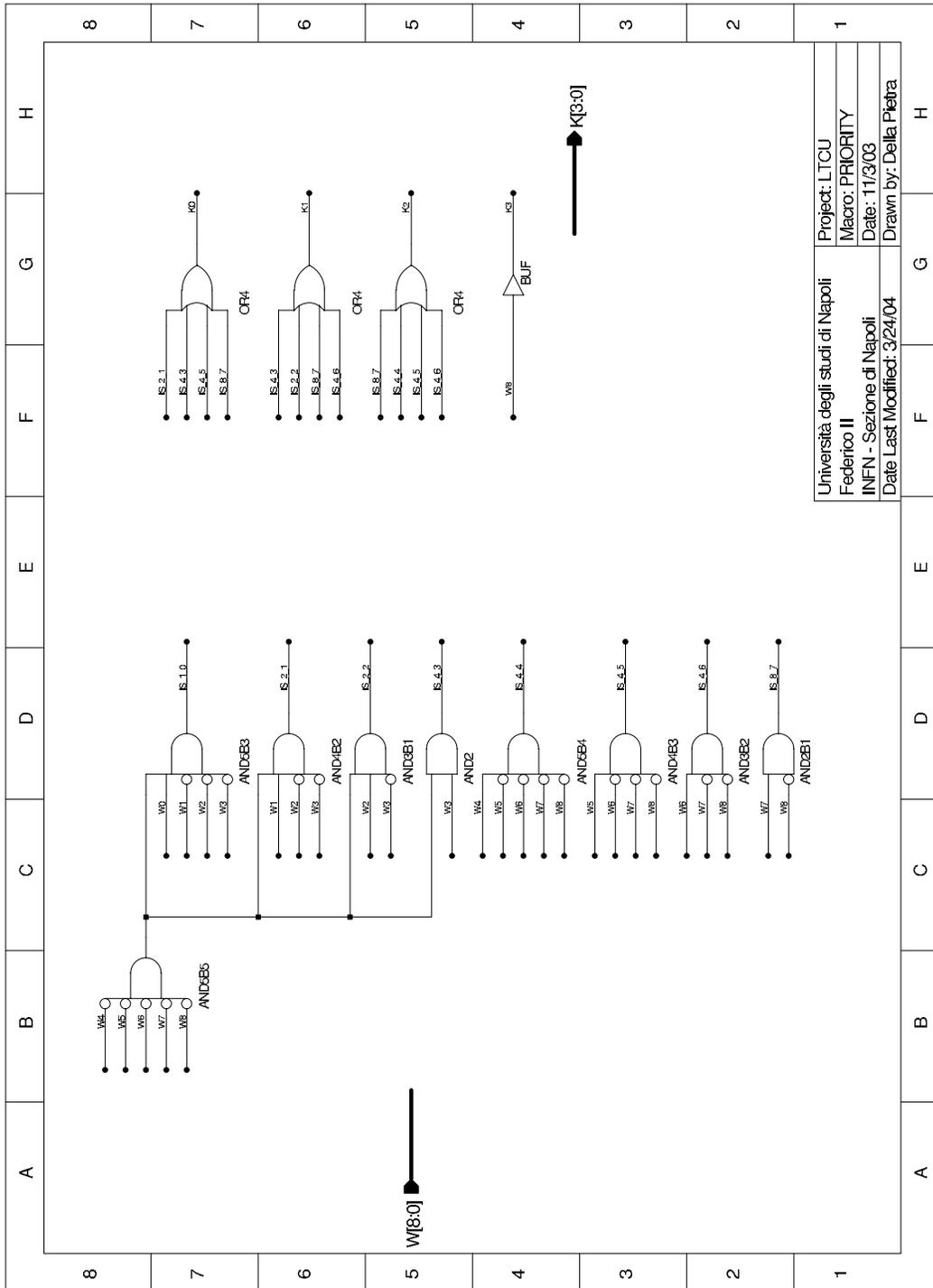


Figura C.10: Blocco *PRIORITY* per generazione degli indirizzi.

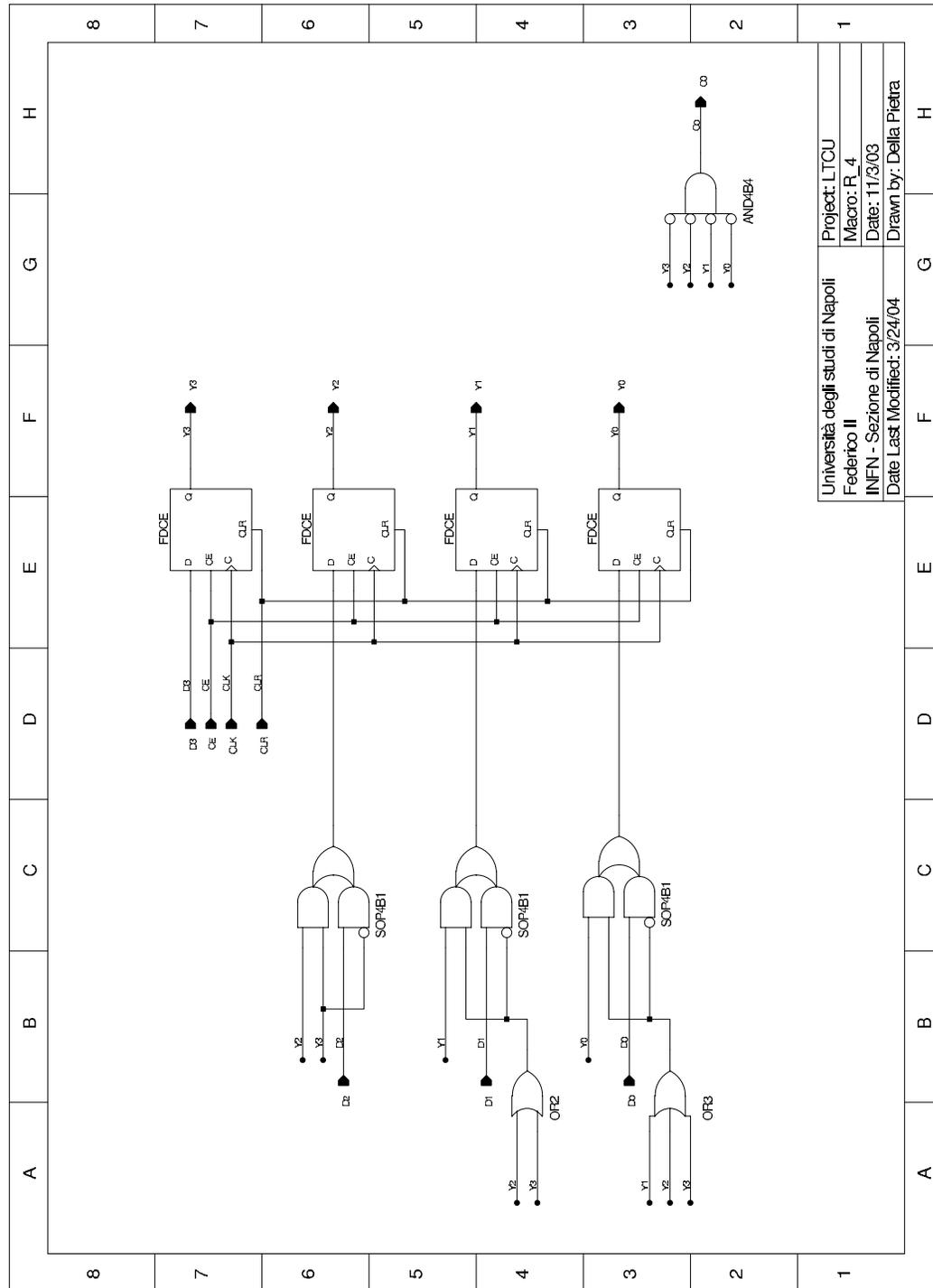


Figura C.11: Blocco R_4 per la soppressione degli zeri.

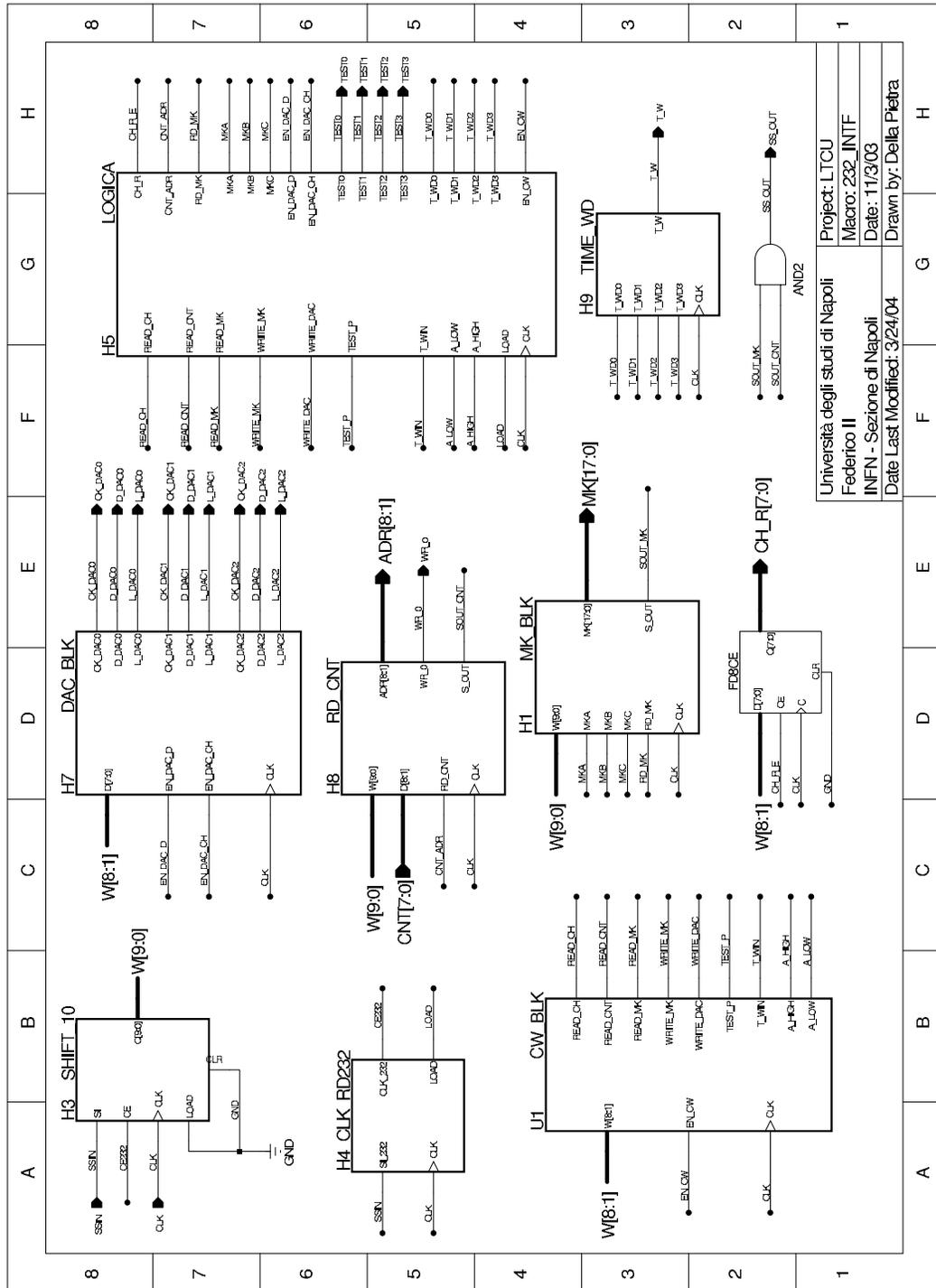


Figura C.12: Blocco 232_INTF per l'interfaccia con il protocollo RS232.

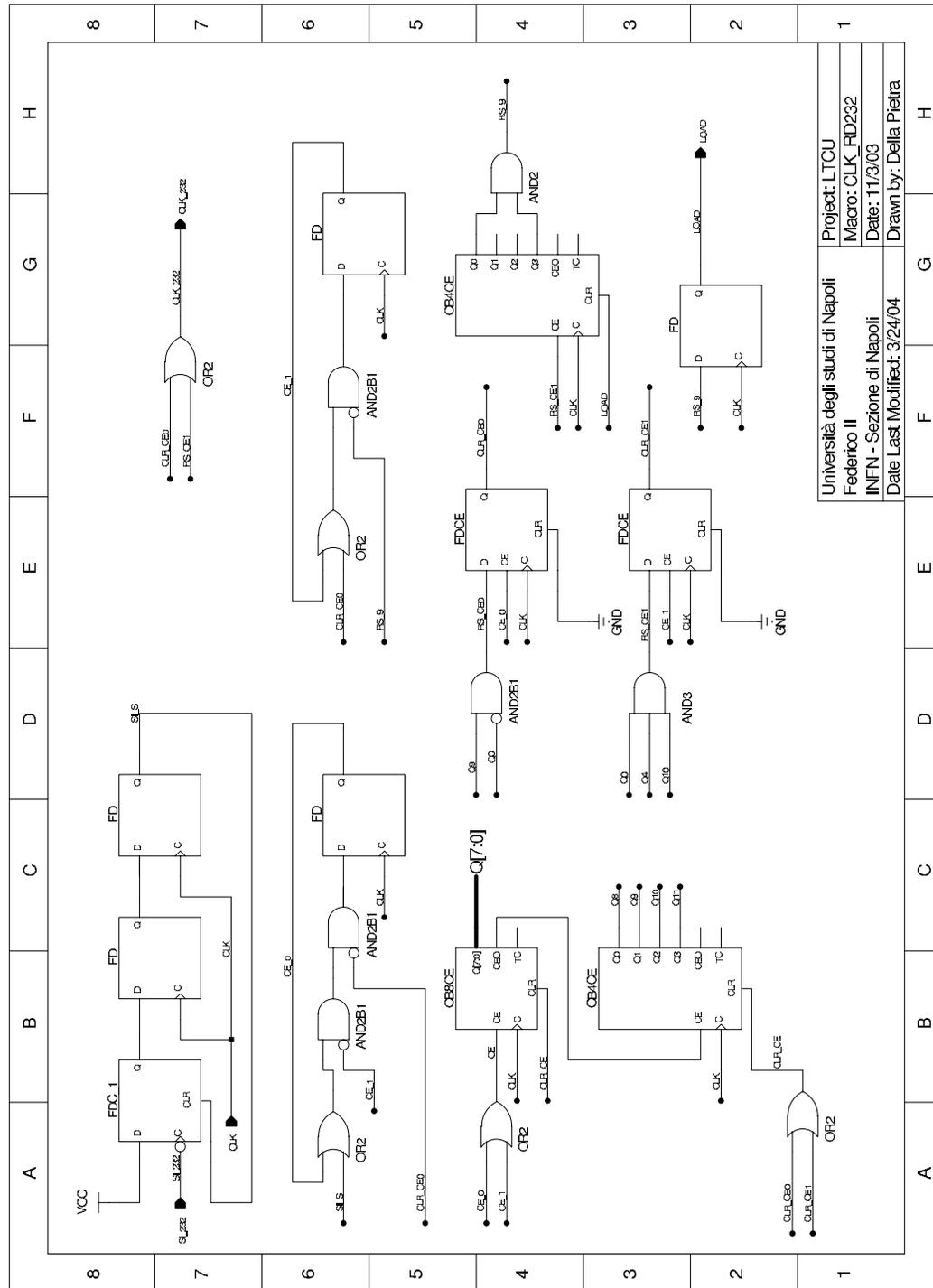


Figura C.13: Blocco CLK_RD232 per il campionamento dei dati seriali in ingresso.

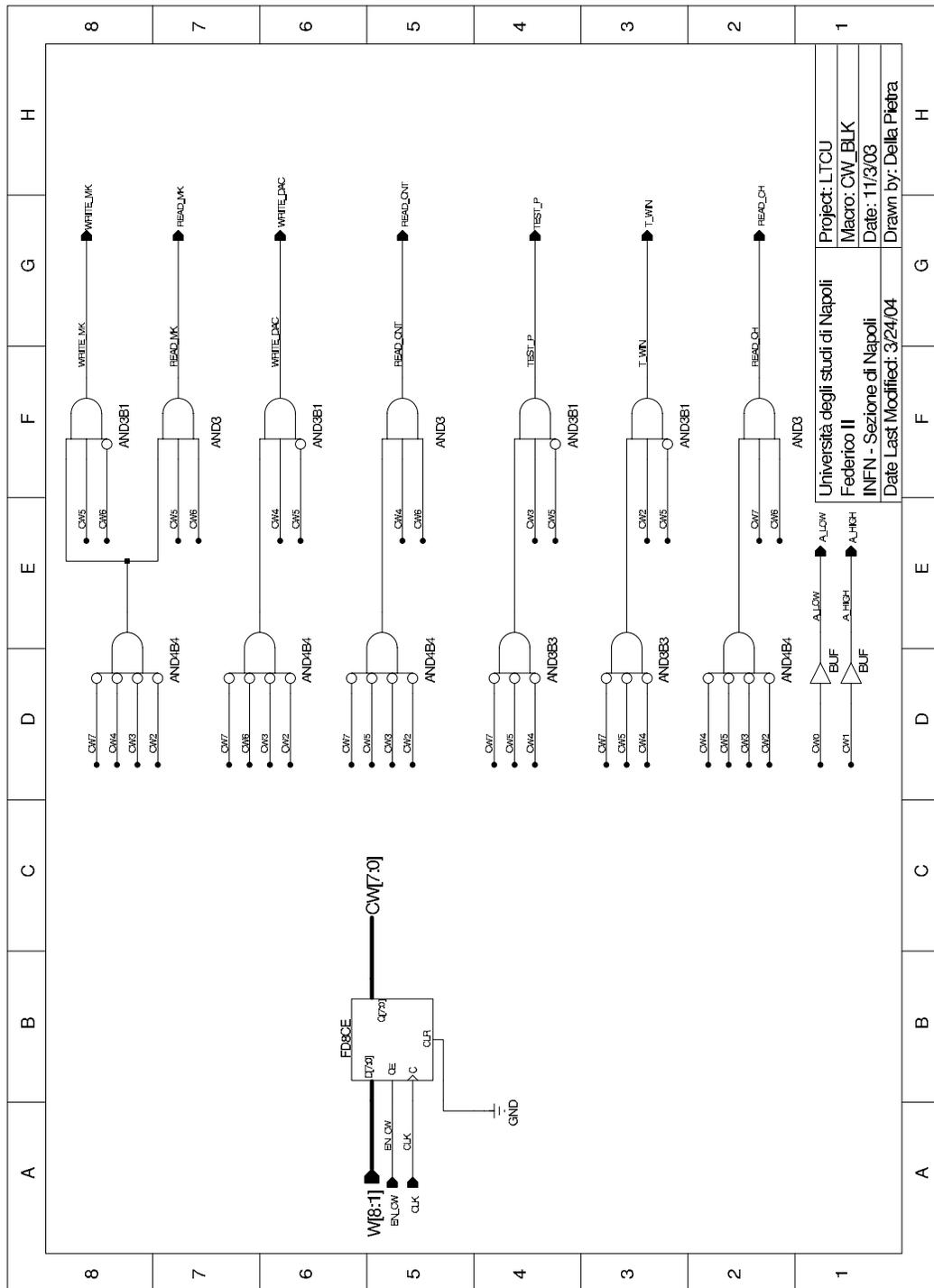


Figura C.14: Blocco CW_BLK per la decodifica delle *control word*.

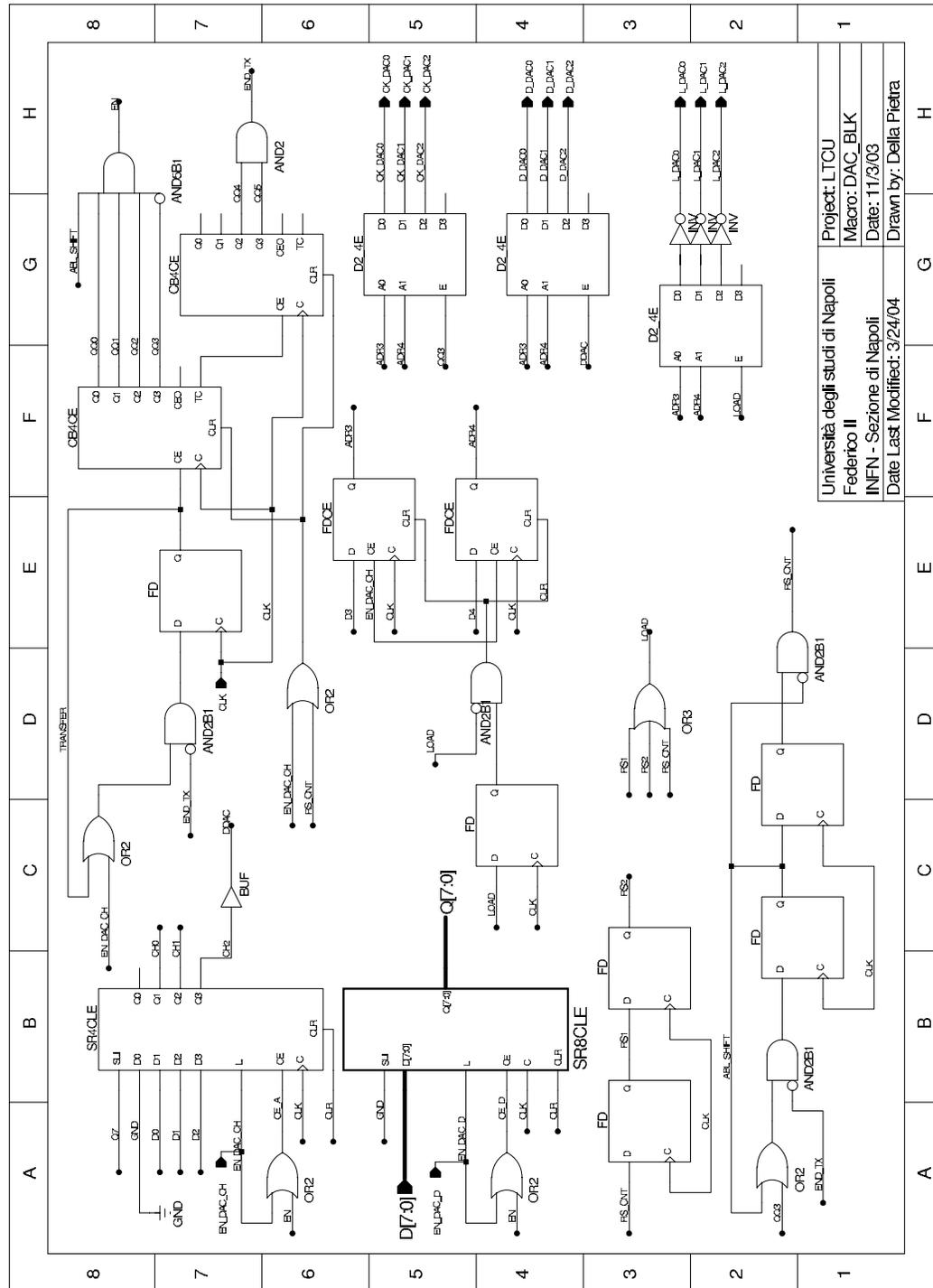


Figura C.15: Blocco DAC_BLK per la generazione dei segnali per i DAC.

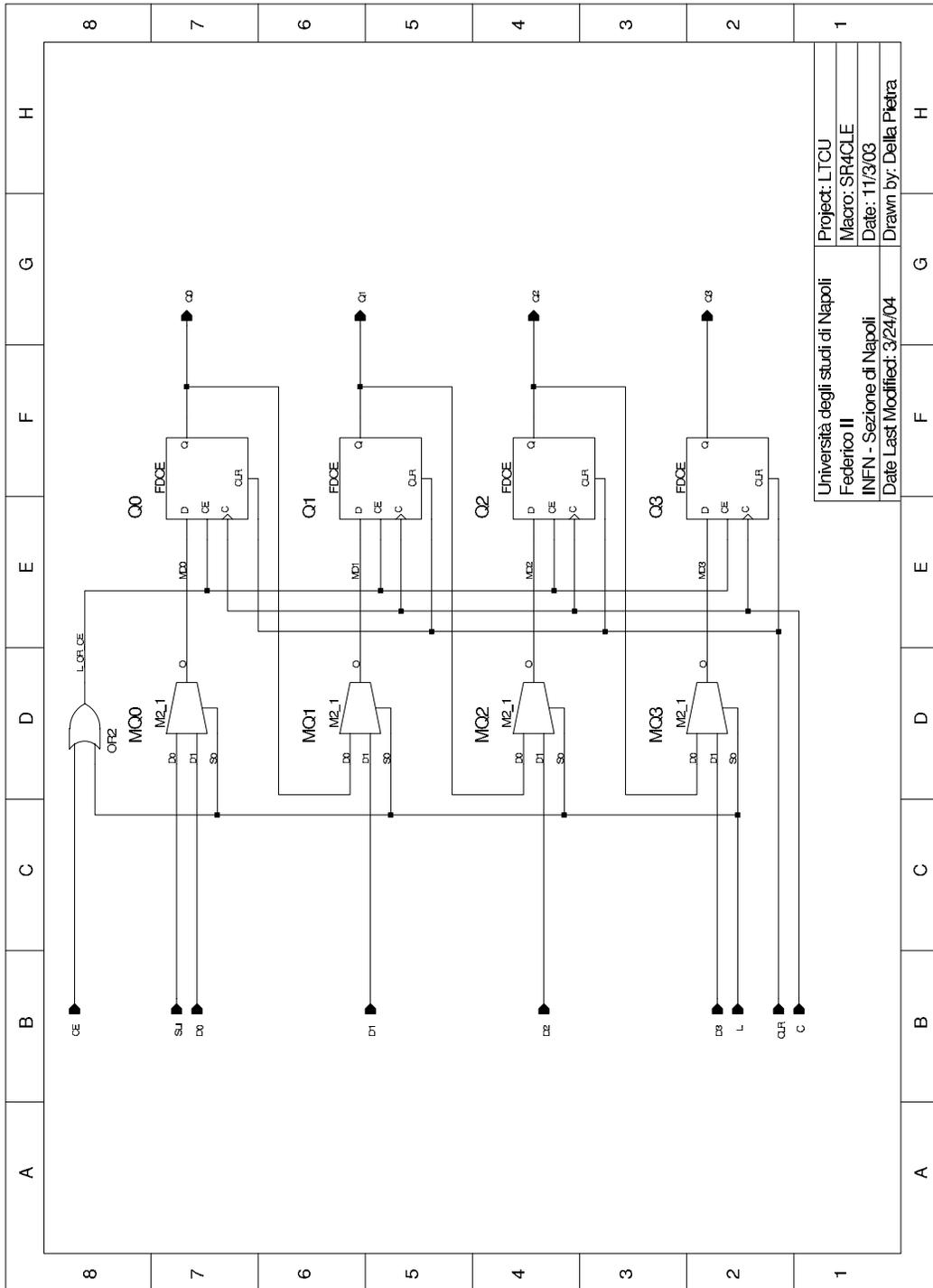


Figura C.16: Registro selezionabile in modalità parallelo o seriale 4 bit SR4CLE con clear asincrono.

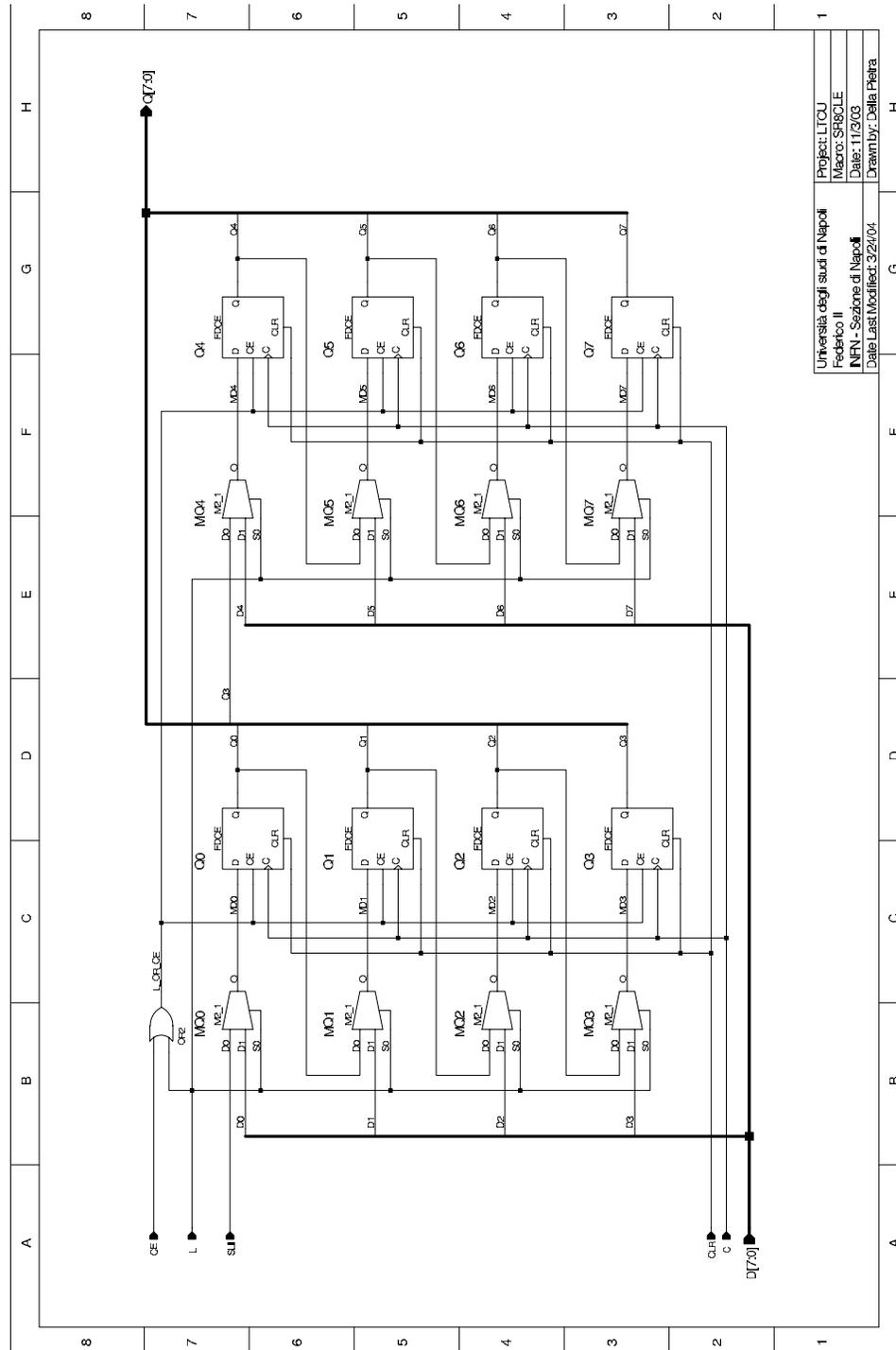


Figura C.17: Registro selezionabile in modalit  parallelo o seriale a 8 bit *SR8CLE* con clear asincrono.

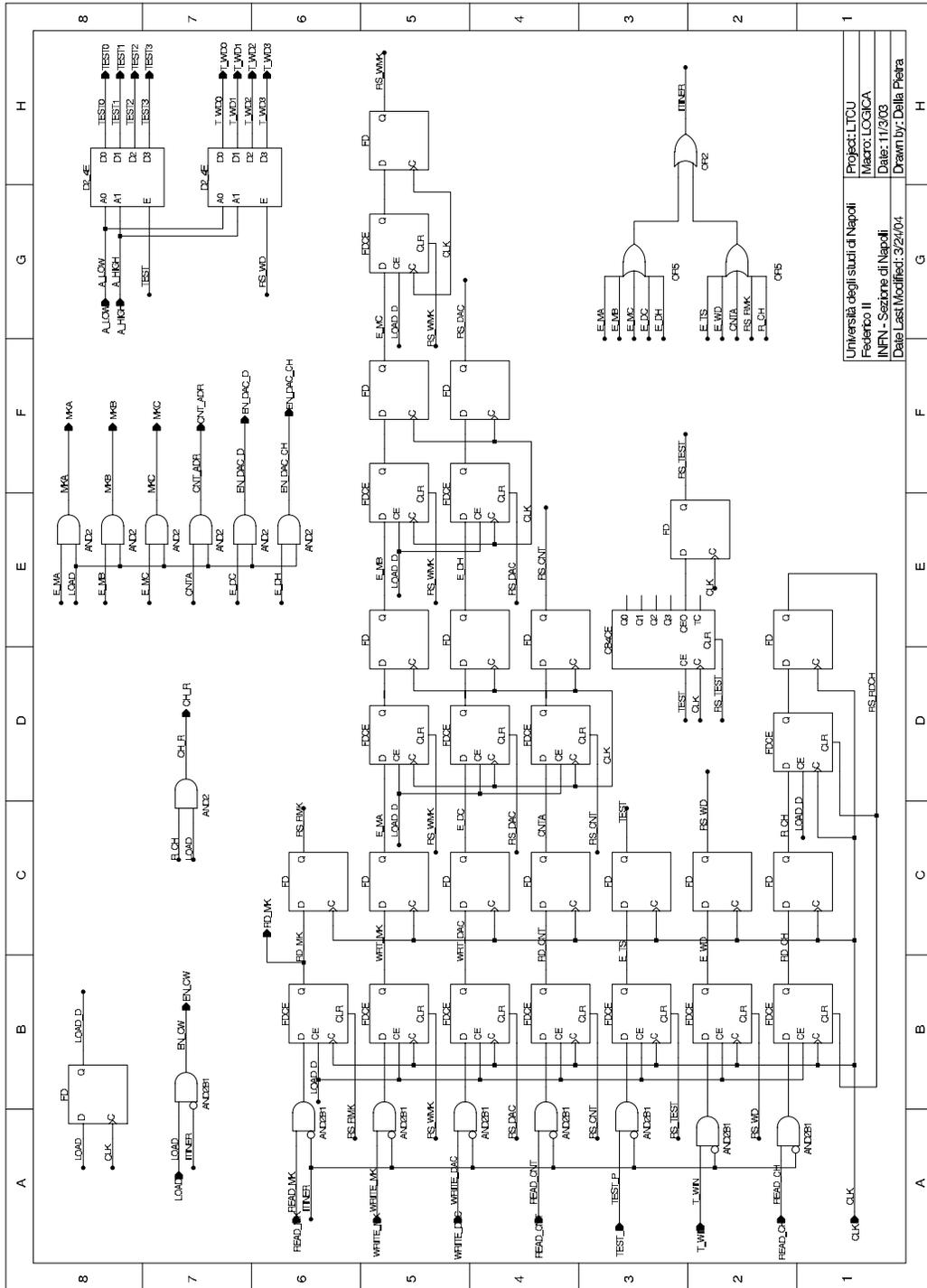


Figura C.18: Blocco LOGICA per il controllo delle operazioni dell'interfaccia RS232.

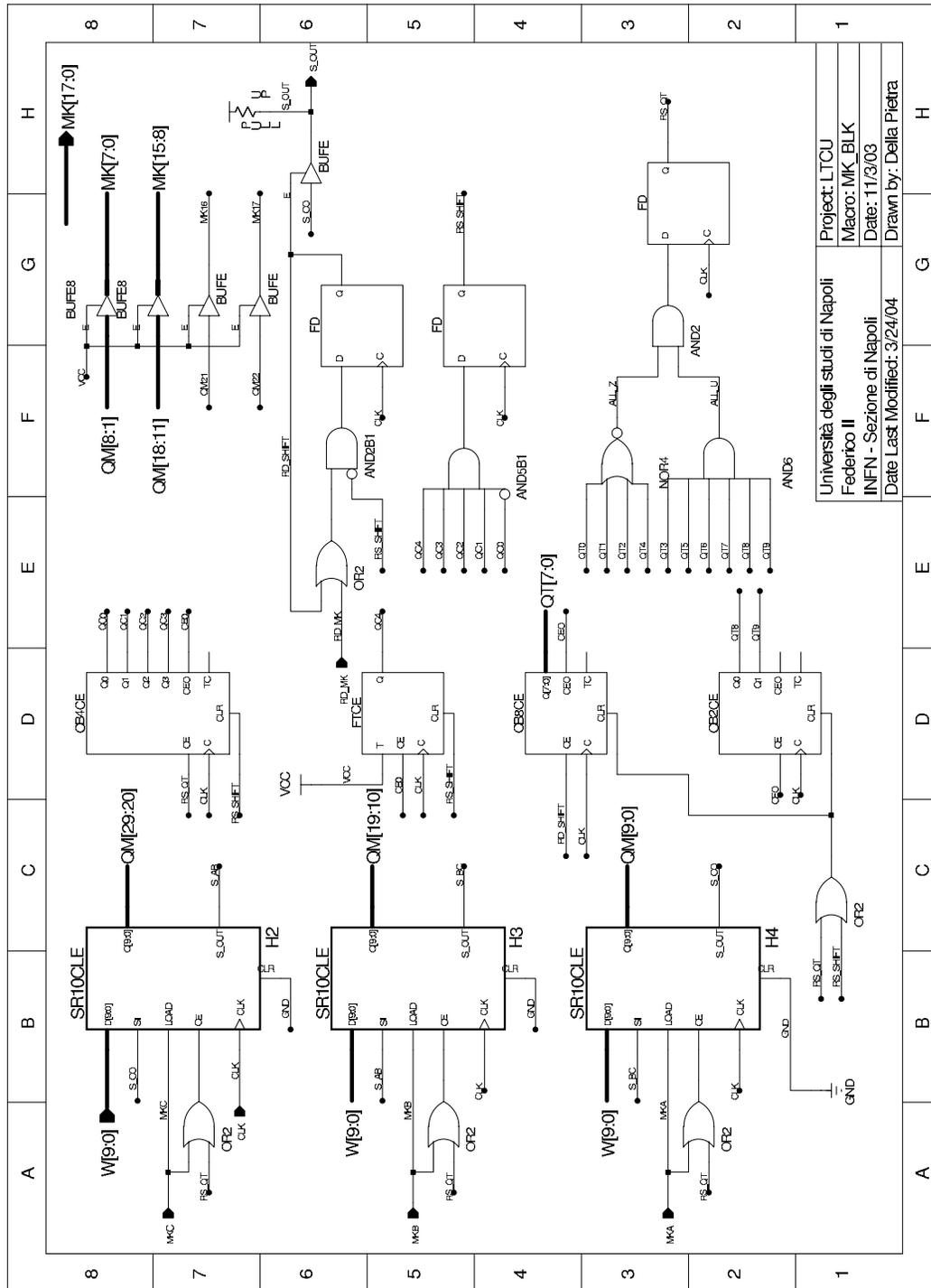


Figura C.19: Blocco MK_BLK per l'impostazione e la trasmissione via RS232 delle maschere.

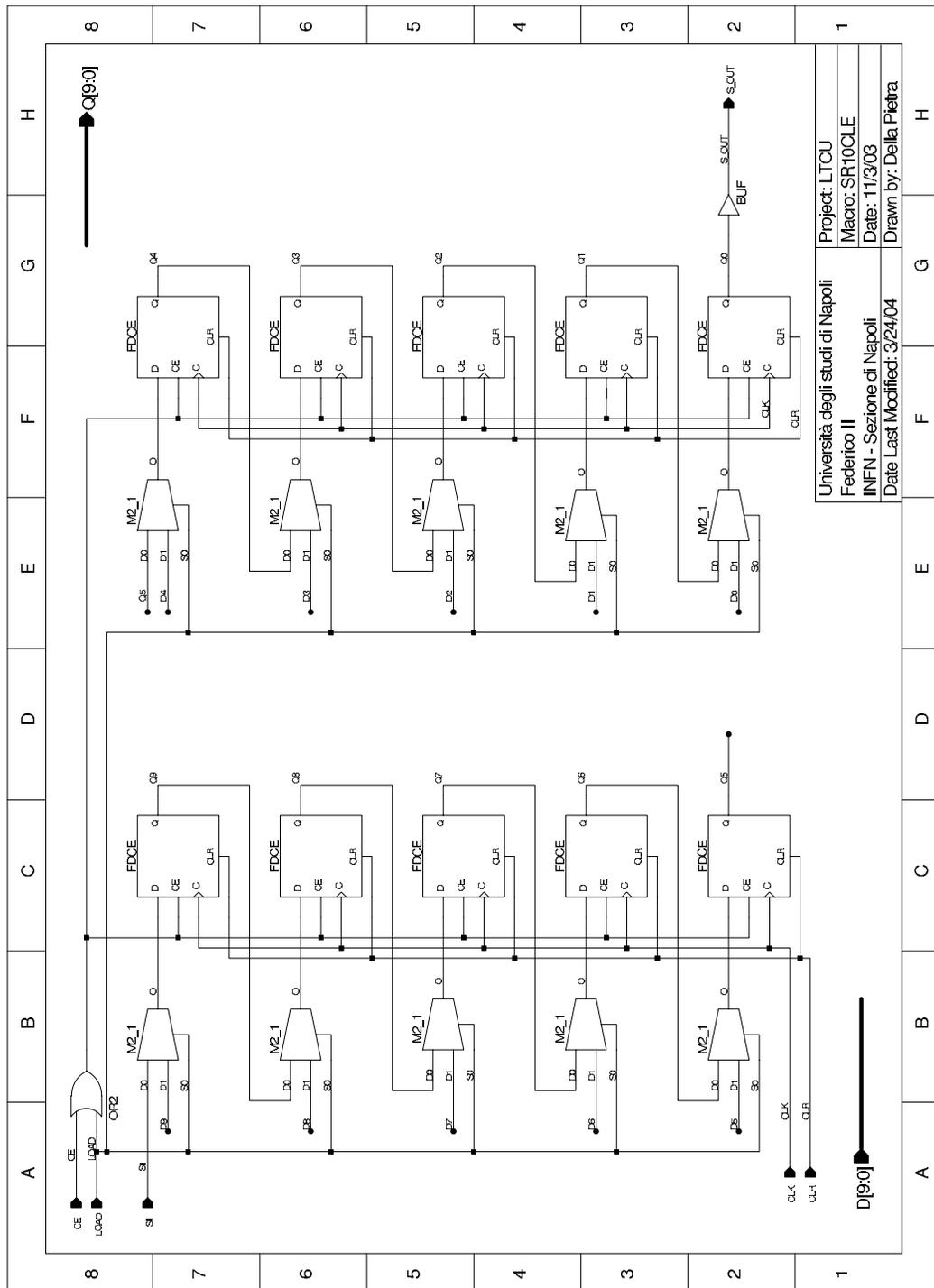


Figura C.20: Registro selezionabile in modalità parallelo o seriale a 10 bit *SR10CLE* con clear asincrono.

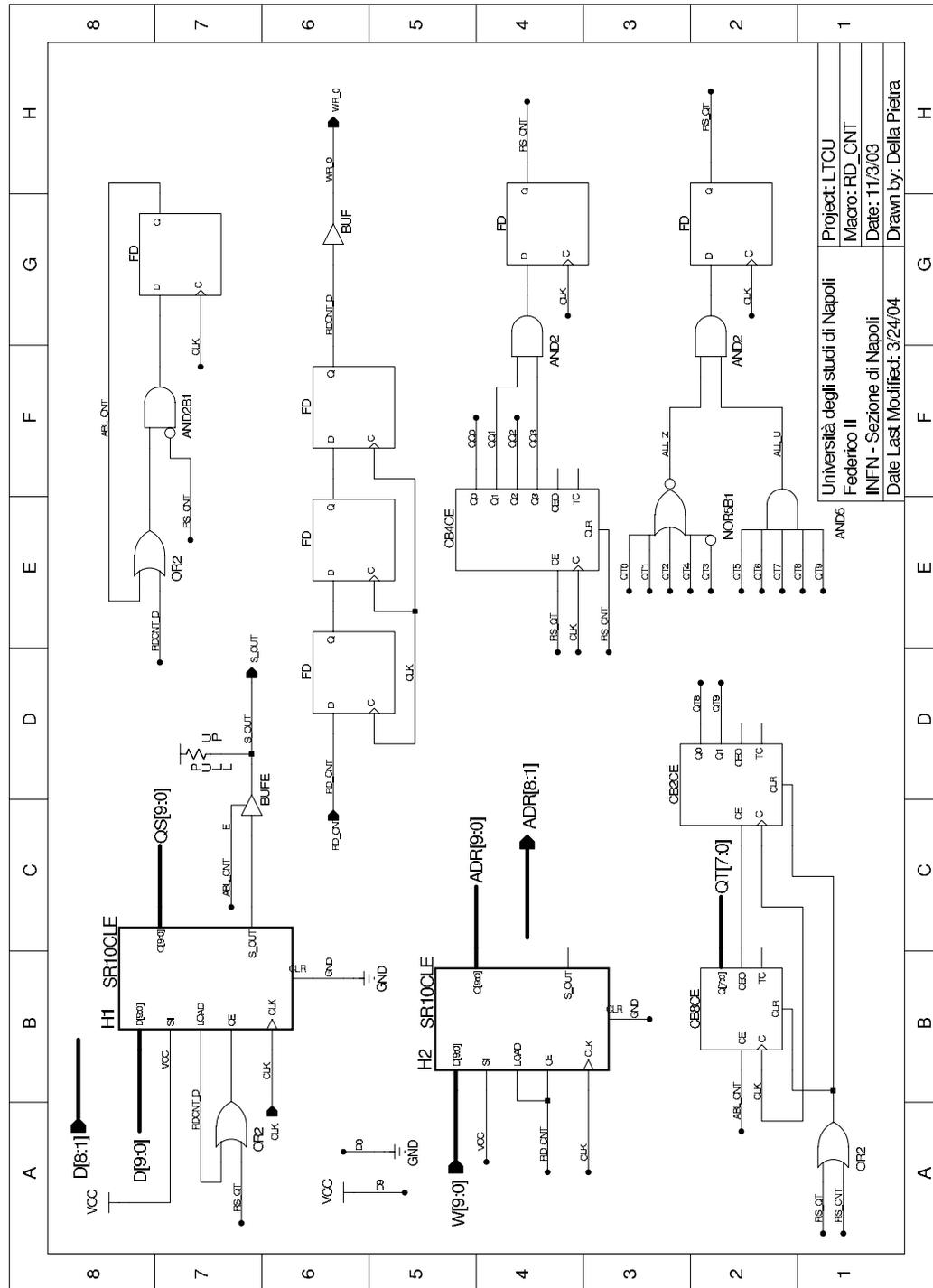


Figura C.21: Blocco RD_CNT per la trasmissione del contenuto della memoria via RS232.

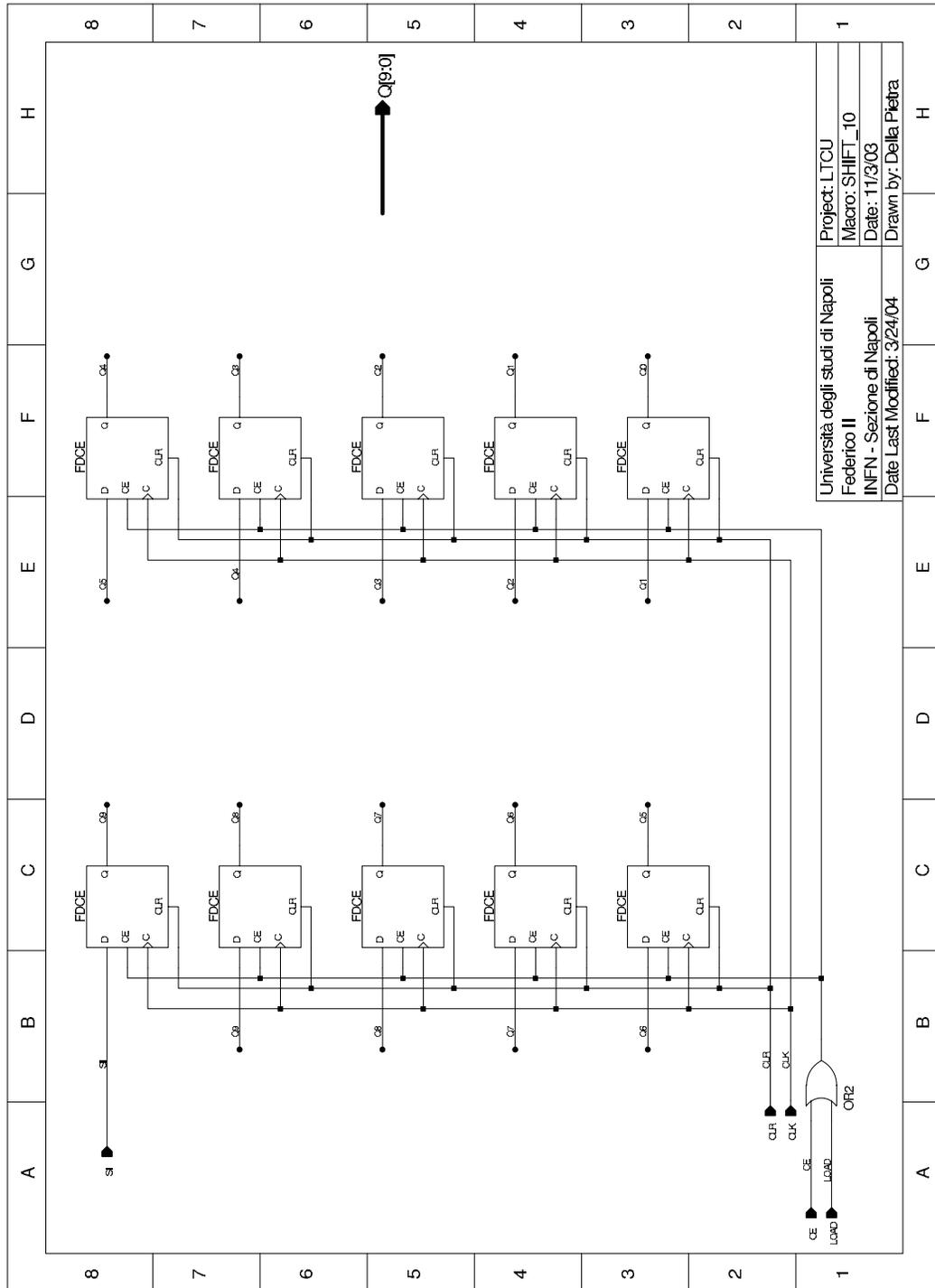


Figura C.22: Registro SPO a 10 bit SHIFT_10 con clear asincrono.

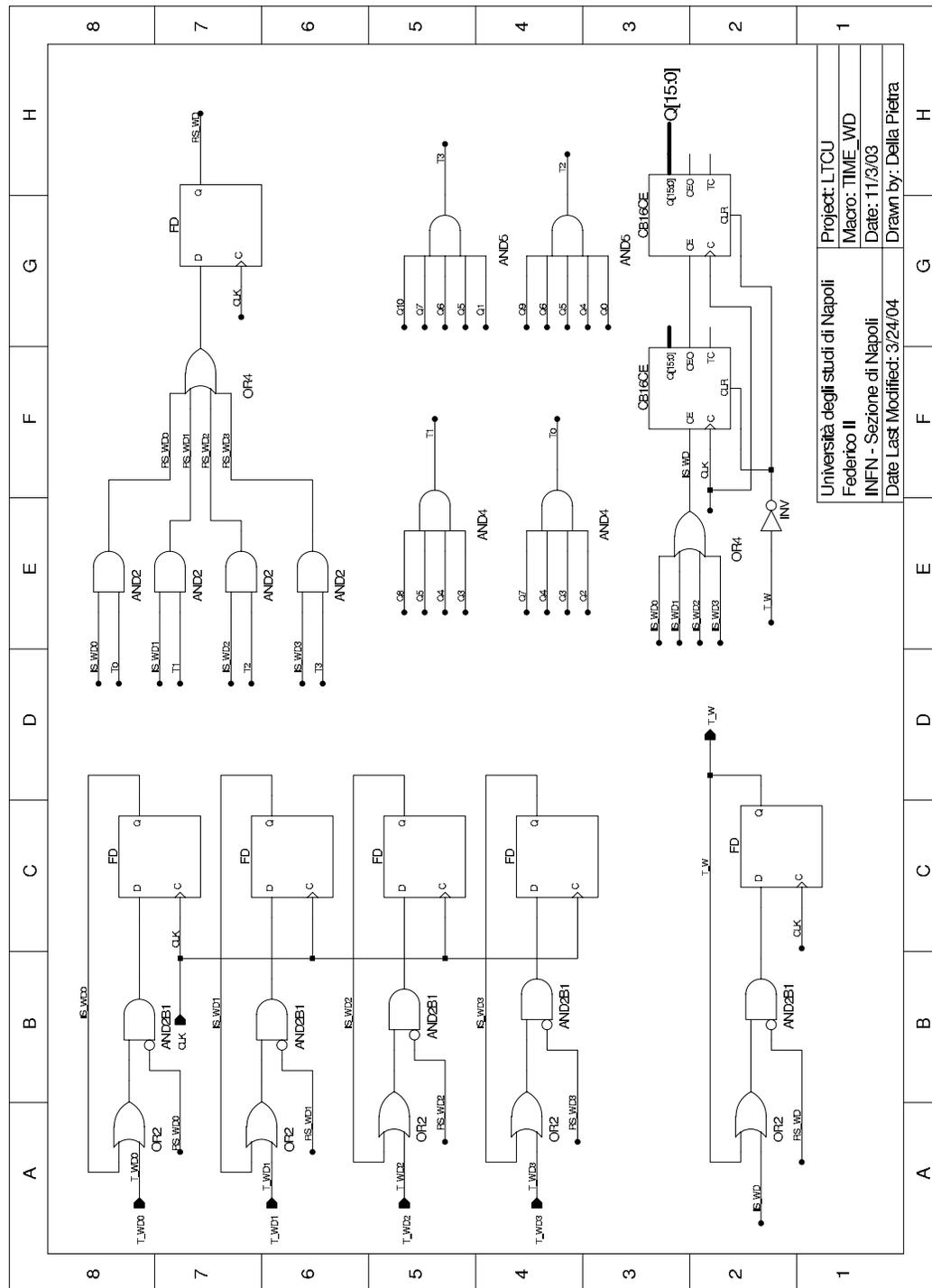


Figura C.23: Blocco *TIME_WD* per la generazione delle finestre temporali di conteggio.

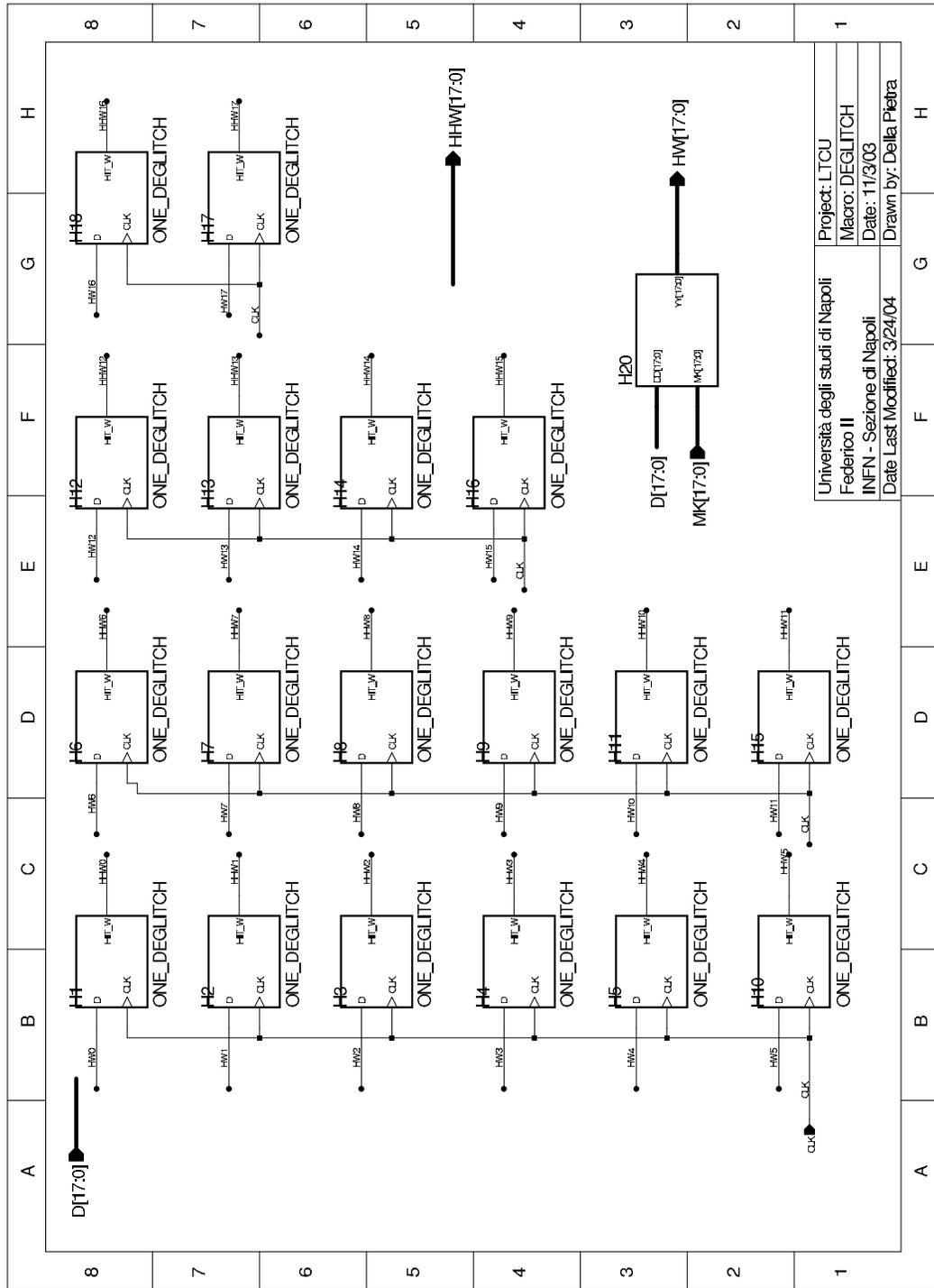


Figura C.24: Blocco *DEGLITCH* per mascherare i segnali di ingresso e formarli per il conteggio.

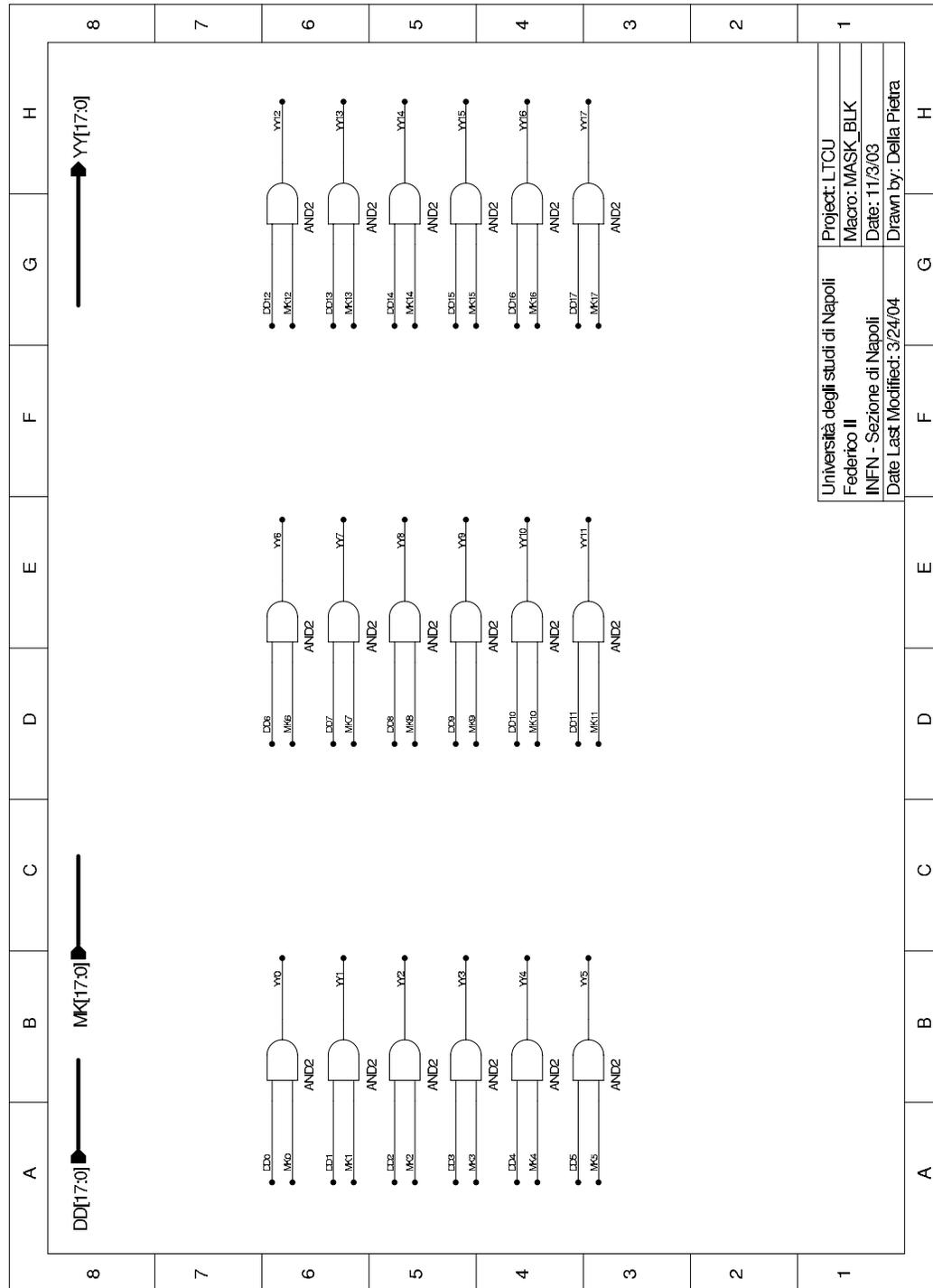


Figura C.25: Blocco MASK_BLK per mascherare gli ingressi.

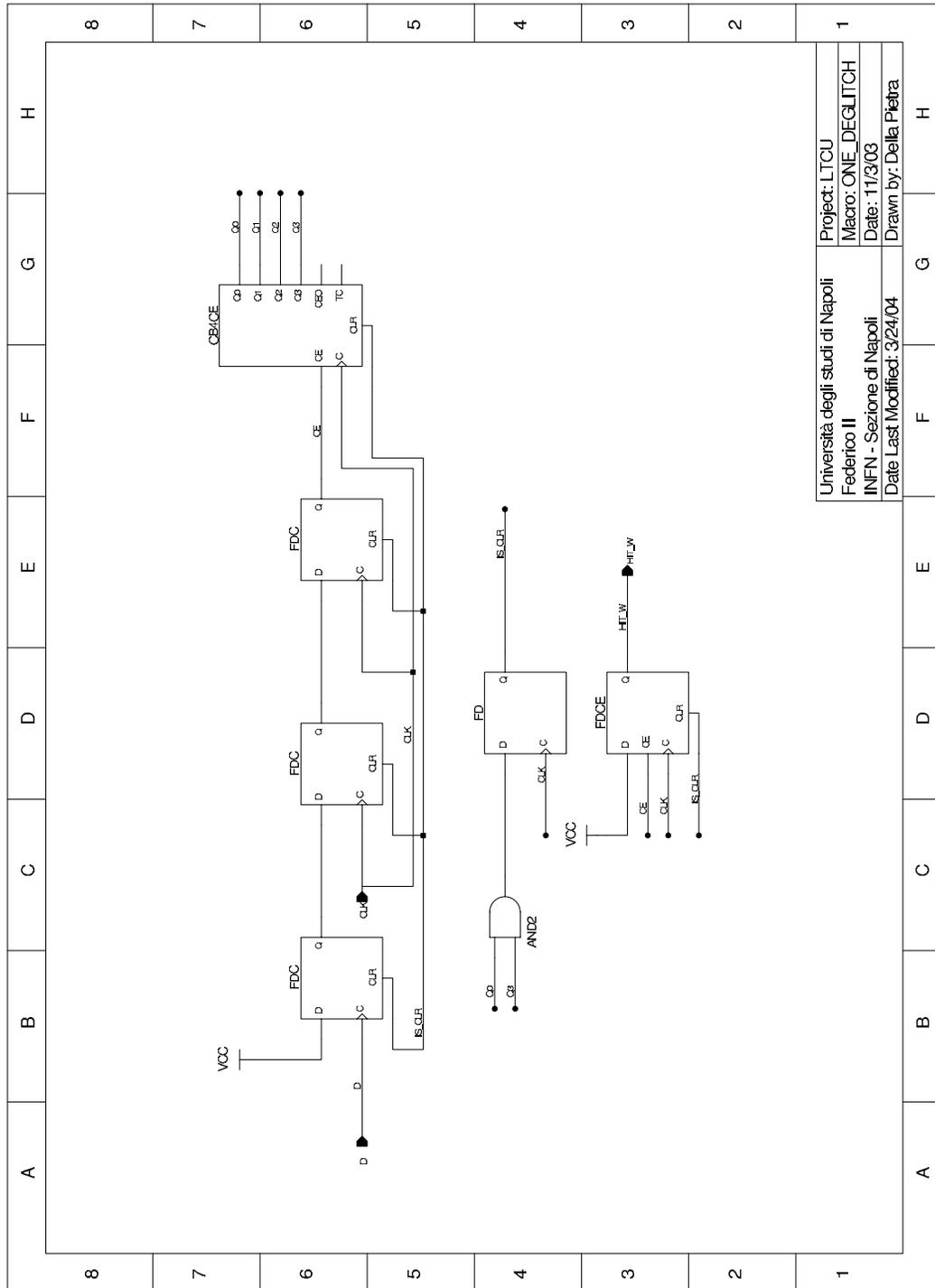


Figura C.26: Blocco ONE_DEGLITCH per formare i segnali di ingresso.

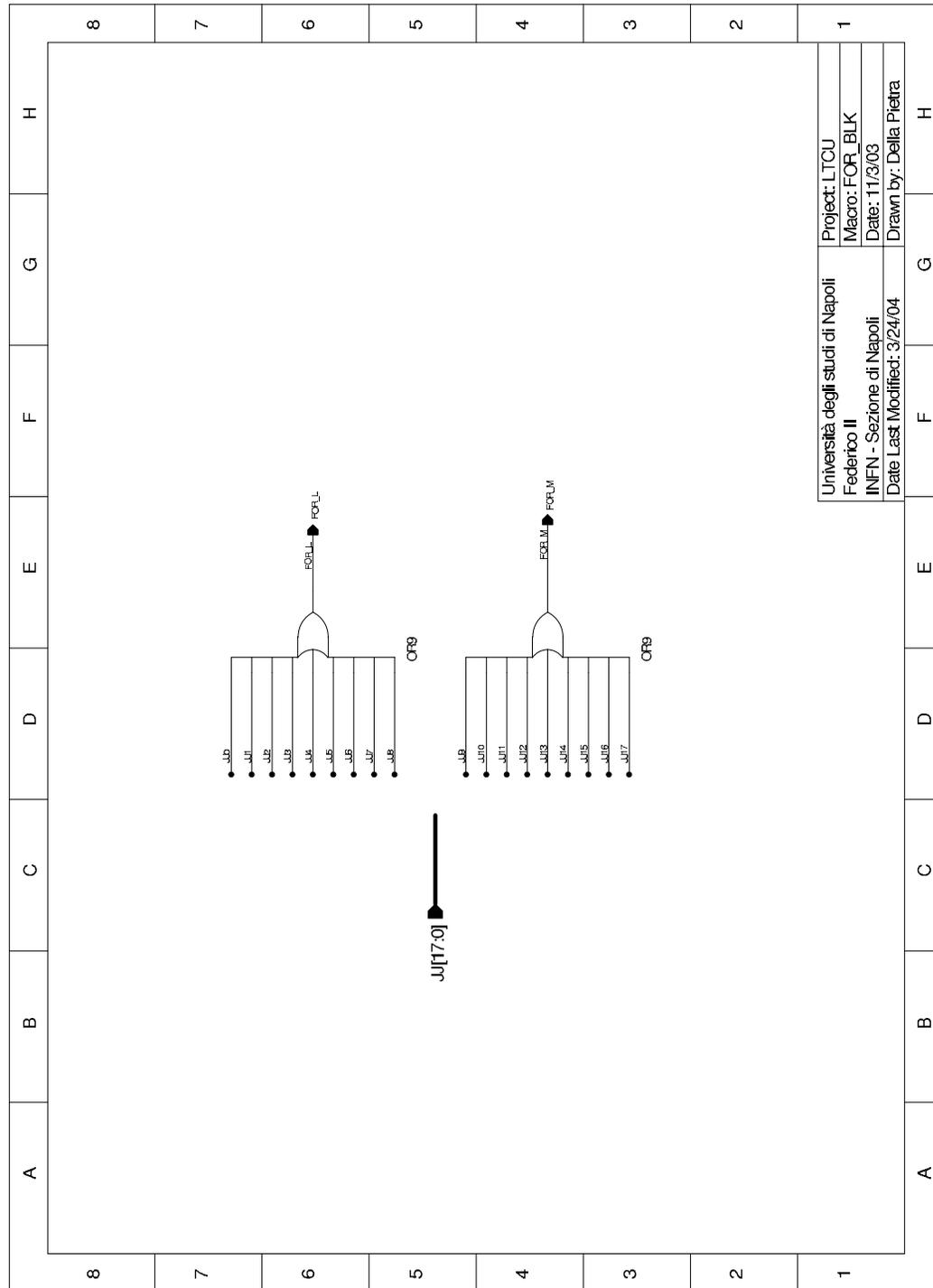


Figura C.27: Blocco *FOR_BLK* per la generazione dei due segnali di trigger.

Appendice D

Tavole delle simulazioni *post-layout* della FPGA

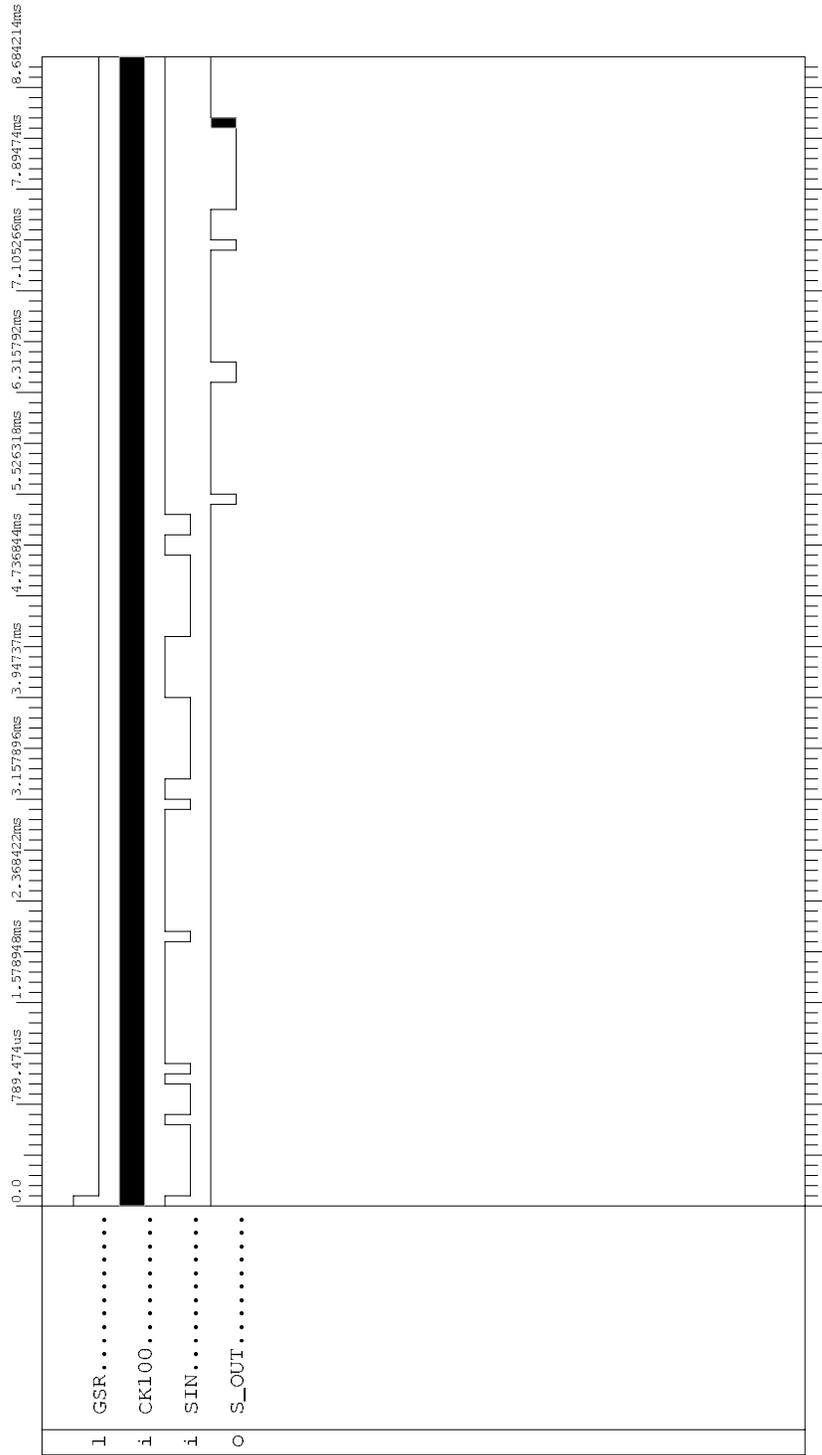


Figura D.1: Scrittura e lettura delle maschere.

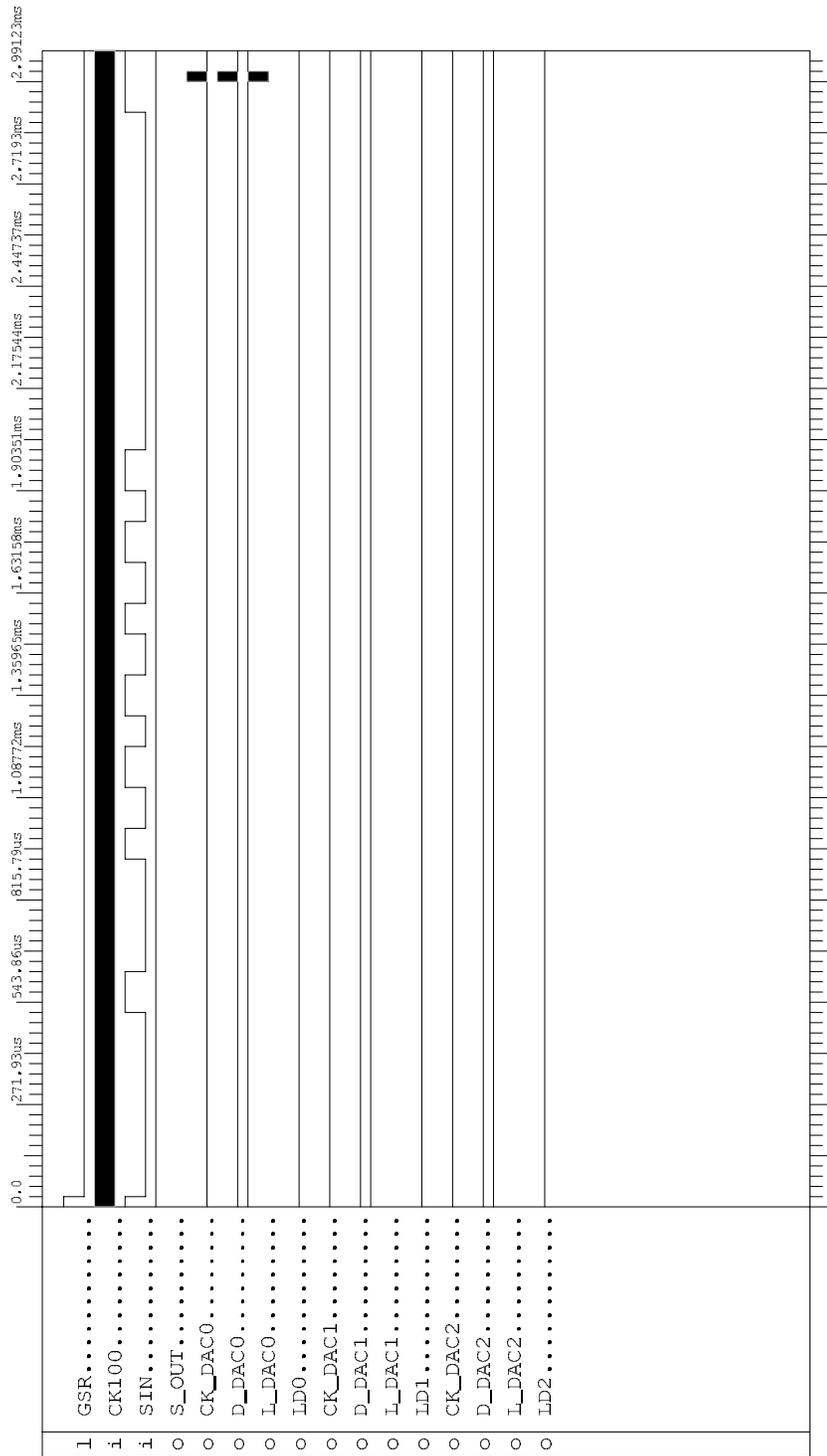


Figura D.2: Impostazione della tensione nel canale 0 del DAC 0 (1).

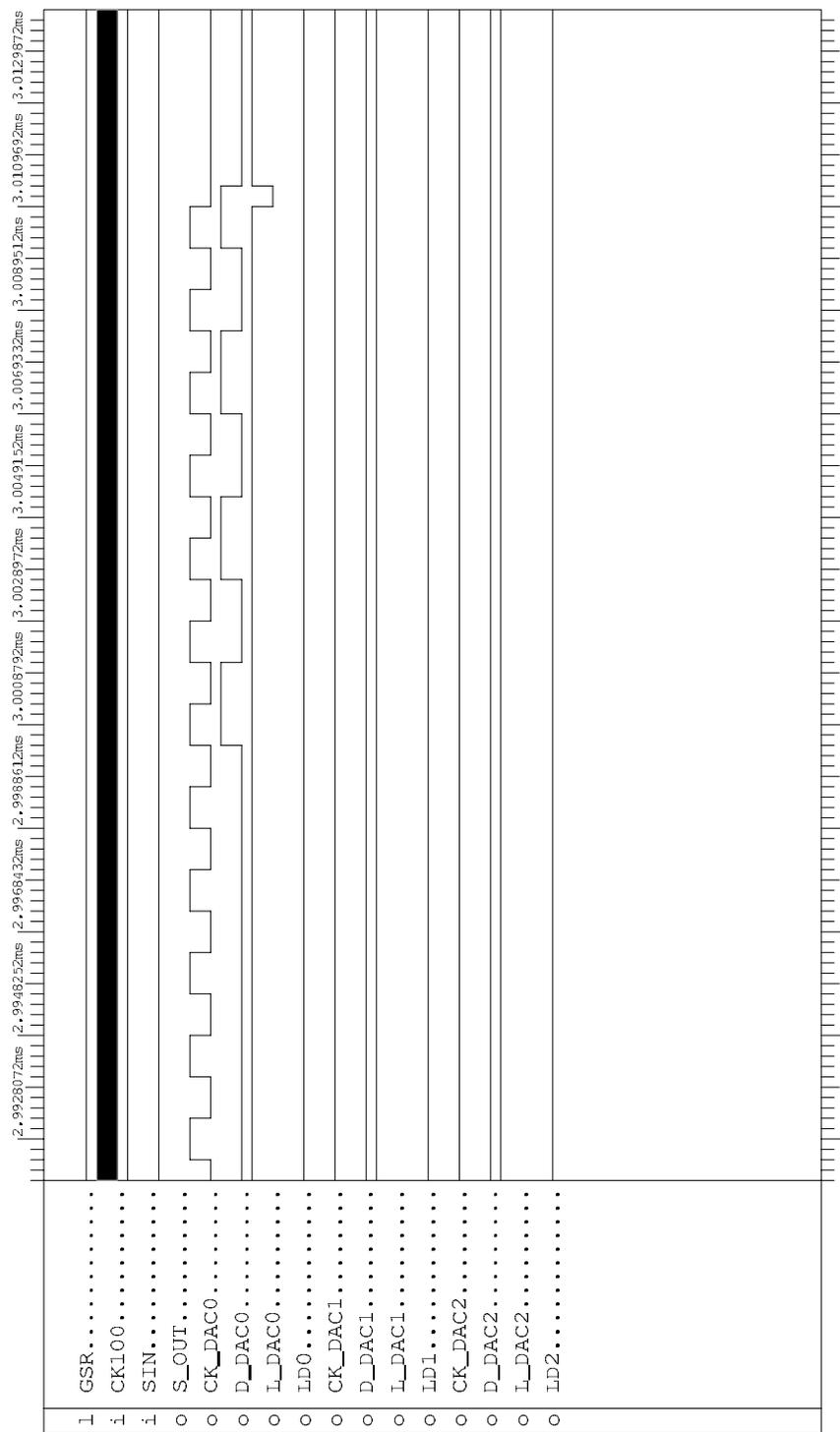


Figura D.3: Impostazione della tensione nel canale 0 del DAC 0 (2): particolare della trasmissione seriale per la programmazione del DAC.

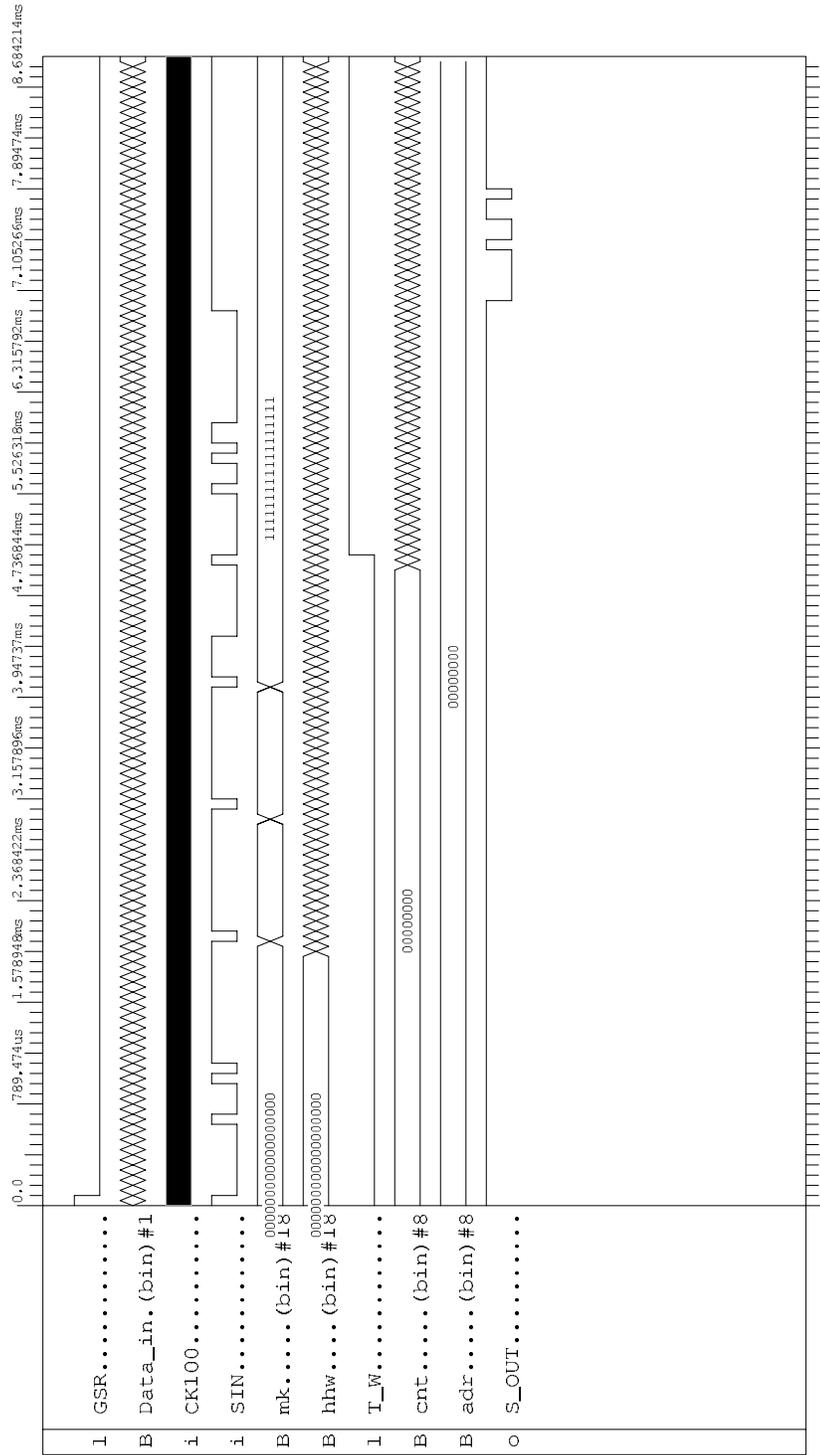


Figura D.4: Abilitazione di tutti canali, impostazione della finestra di conteggio e successiva lettura dei conteggi.

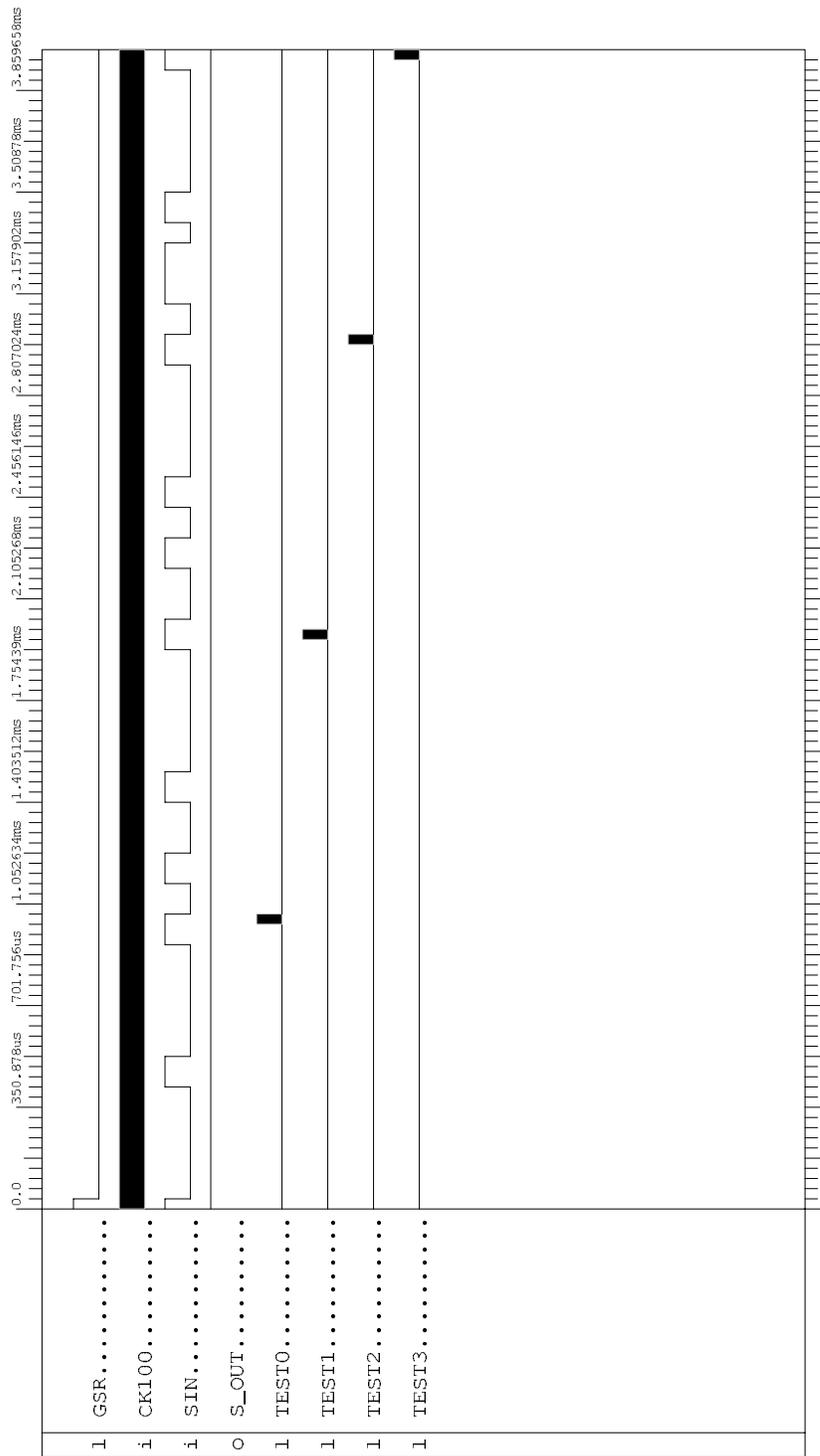


Figura D.5: Impulsi di test.

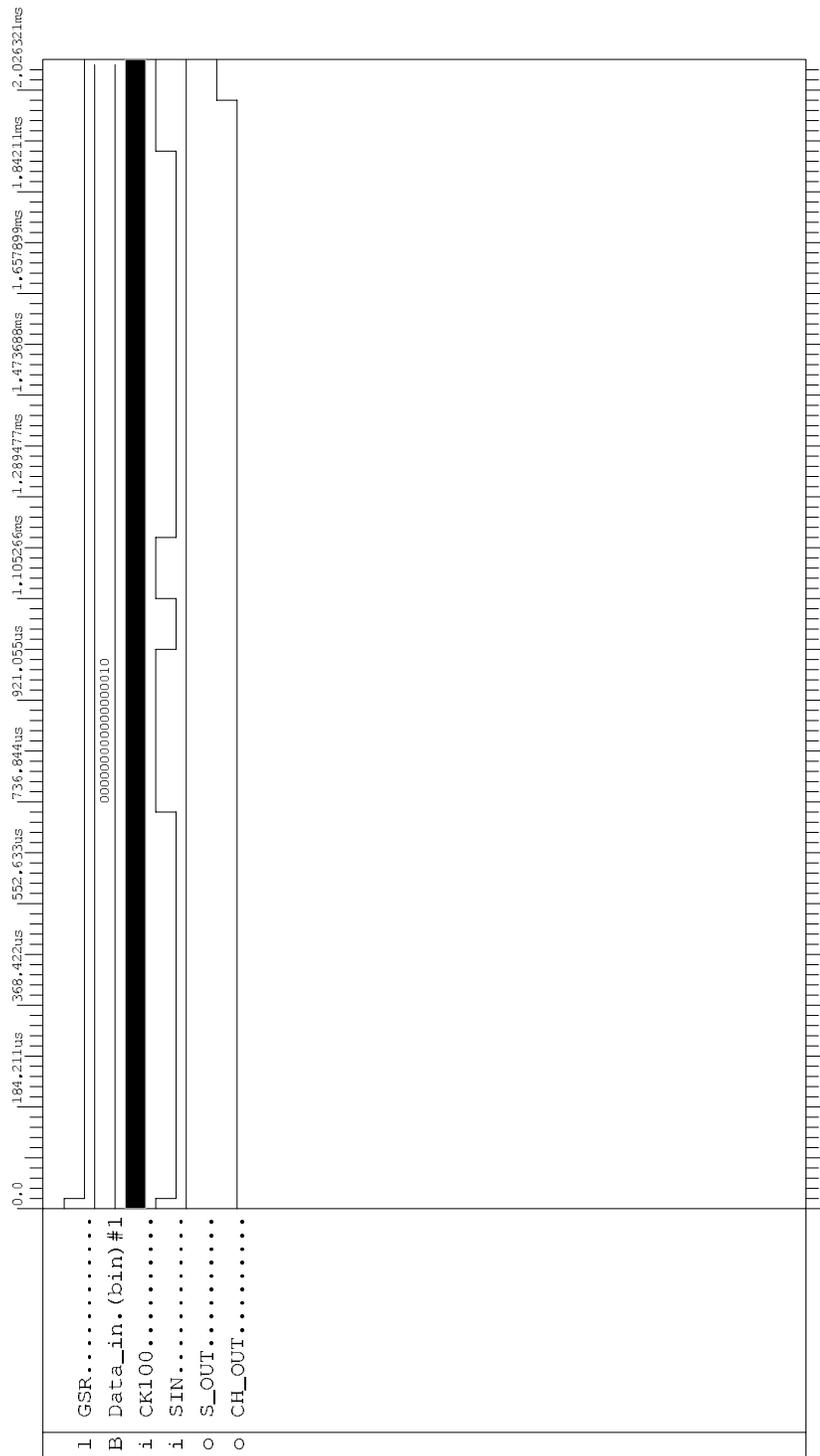


Figura D.6: Selezione dell'uscita del comparatore da inviare sul pannello frontale della scheda.

Bibliografia

- [1] S. Amoruso e al., *The Icarus Experiment*, CERN/SPSC 2002-027.
- [2] K. Hagiwara et al., *Phys. Rev. D.* **66** (2003).
- [3] M. Altmann et al., *Proposal for a permanent Gallium Neutrino Observatory (GNO) at LNGS*, LNGS annual report, GNO-1 (1995).
- [4] S. Fukuda et al., *The Superkamiokande detector*, Nucl.Instrum.Meth. A501 (2003).
- [5] G. Aardsma et al., *The Sudbury Neutrino Observatory*, Nuclear Instruments and Methods in Physics Research A449, nucl-ex/9910016 (2000).
- [6] J. N. Bahcall, *Solar Model: an historical overview*, Nuc. Phys. B. **118/77** (2002).
- [7] F. Arneodo e al., *Study of solar neutrinos with the 600 ton liquid argon ICARUS detector*, ICARUS-TM/1999-17.
- [8] E. Roulet, *Neutrino Astrophysics*, Physics Dept., University of La Plata, Argentina (2000).
- [9] D. Badelek et al., *The Icarus Experiment - Initial Physics Program*, ICARUS-TM/2001-03.
- [10] S. Fukuda et al., *Study of the atmospheric neutrino flux in the multi-GeV energy range*, Phys. Lett. B **436/33-41** (1998).

-
- [11] A. Bueno, I. Gil-Botella, A. Rubbia, *Supernova Neutrino Detection*, ICARUS-TM/2003-02.
- [12] G. G. Raffelt, *Star as laboratories for fundamental physics*, The University of Chicago Press - Chicago & London.
- [13] K. Hirata et al., *Phys. Rev. Lett.* **58**, 1490 (1987), e *Phys. Rev. Lett.* **38**, 448 (1988).
- [14] R.M. Bionta et al., *Phys. Rev. Lett.* **58**, 1494 (1987).
- [15] M. Buhler-Broglin et al., *General description of the CERN project for a neutrino beam to Gran Sasso (CNGS)*, CERN AC note (2000-03).
- [16] C. Rubbia, *The Liquid-Argon Time projection Chamber: a new concept for Neutrino Detector*, CERN-EP/77-08 (1977).
- [17] S. Amerio e al., *Design, construction and tests of ICARUS T600 detector*, 2003.
- [18] S. Amoruso e al., *Performance evaluation of a hit finding algorithm for ICARUS detector*, Nucl. Instr. and Meth. **A 418** 2-3 (1998).
- [19] C.A.E.N, *Mod. V 791, 32 ch. ICARUS analog board*, User's Manual (1999).
- [20] S. Amerio e al., *Considerations on the ICARUS read-out and on data compression*, ICARUS-TM/2002-05.
- [21] C.A.E.N, *Mod. V 789, 32 ch. ICARUS digital board*, User's Manual (1999).
- [22] I. Gil-Botella, A. Rubbia, *Solar neutrino events in ICARUS with the new neutron background estimation*, ICARUS-TM/2002-13.
- [23] F. Sergiampietri, *Layout of signal and calibration cables, flanges and crates for ICARUS T600*, ICARUS-TM/1999-12.

- [24] National Semiconductor, *LM6171 High speed, low power, low distortion voltage feedback amplifier*, Datasheet (2003).
- [25] Texas Instruments, *TL712 Differential comparator*, Datasheet (1992).
- [26] Texas Instruments, *TLC5628C, TLC5628I Octal 8-bit Digital-to-Analog Converters*, Datasheet (1996).
- [27] National Semiconductor, *LM6172 Dual high speed, low power, low distortion voltage feedback amplifiers*, Datasheet (2003).
- [28] Texas Instruments, *SN75ASL192 Quadruple differential line driver*, Datasheet (1998).
- [29] Texas Instruments, *SN75ASL193 Quadruple differential line receiver*, Datasheet (1995).
- [30] XILINX, *Spartan-2 FPGA Family*, Datasheet (2003).

Ringraziamenti

Innanzitutto desidero ringraziare la dott. Giuliana Fiorillo per la fiducia che ha riposto in me sin dal primo giorno, affidandomi la responsabilità della realizzazione di questo lavoro: il confronto quotidiano con lei è stato per me motivo di grande crescita culturale. A ciò si aggiunge una profonda stima personale ed umana.

Un grosso grazie va al dott. Antonio Ereditato per il grande aiuto datomi nella stesura di questa tesi e per avermi dato l'opportunità di capire cosa vuol dire lavorare in una collaborazione scientifica internazionale, per me è stata occasione di una profonda crescita scientifica.

Un grazie particolare va al sig. Pasquale Parascandolo, al sig. Paolo Di Meo e a tutti i tecnici del SER: senza di loro questo lavoro non si sarebbe potuto realizzare. Da loro ho imparato molto di più di quanto avrei mai potuto apprendere dai libri.

Grazie al prof. Francesco Cevenini per la disponibilità costante avuta in questi mesi ma soprattutto perchè è grazie ai suoi insegnamenti e a quelli del dott. Alberto Aloisio che ho deciso di intraprendere questa strada.

Grazie ad Adele perchè è stata dal primo giorno una guida e un'ottima amica.

Grazie a Biagio, Francesco e Roberto per aver migliorato tutti le mie giornate, spero che quest'anno insieme abbia gettato le basi per una solida amicizia.

Grazie ad Alfredo e a tutto il gruppo di Napoli che collabora in ICARUS per la simpatia con cui mi ha accolto.

Grazie a Paolino per essere ormai da più di un decennio un amico su cui contare in ogni momento.

Grazie di cuore ai miei genitori e a Massimo per essermi stati accanto sempre, per aver condiviso i momenti di gioia e per avermi sorretto con tutto il loro affetto e la loro fiducia nei lunghi momenti di difficoltà, non potevo desiderare una famiglia migliore.

Grazie a Valeria per essere da tre anni la mia grande occasione: con il suo amore e la sua gioia di vivere riesce ad essere tutti i giorni la rivoluzione che mi fa crescere ed essere felice.

Infine, se scrivo queste parole devo ringraziare il coraggio, la forza e la tenacia che ho scoperto in me e che mi hanno fatto superare i momenti difficili in cui credevo davvero di non farcela.